

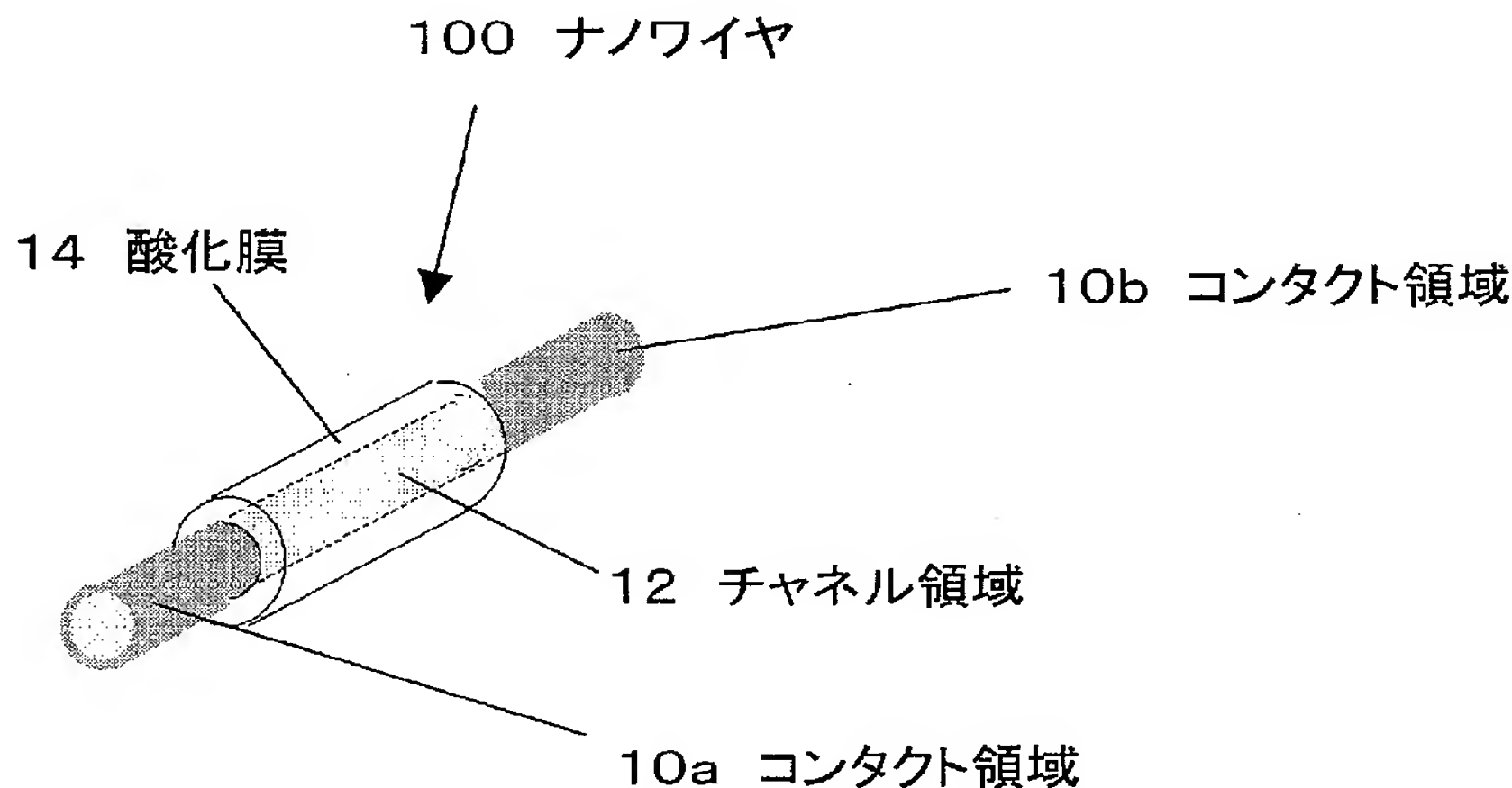


- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2005/023495
- (22) 国際出願日: 2005 年 12 月 21 日 (21.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-381574
2004 年 12 月 28 日 (28.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 齋藤 徹 (SAITO,
Toru). 川島 孝啓 (KAWASHIMA, Takahiro).
- (74) 代理人: 奥田 誠司 (OKUDA, Seiji); 〒5410041 大阪府
大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引
所ビル 1 0 階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR NANO-WIRE, AND SEMICONDUCTOR DEVICE PROVIDED WITH THAT NANO-WIRE

(54) 発明の名称: 半導体ナノワイヤ、および当該ナノワイヤを備えた半導体装置



100.. NANO-WIRE
14.. OXIDIZED FILM
10b.. CONTACT REGION
12.. CHANNEL REGION
10a.. CONTACT REGION

(57) Abstract: A nano-wire (100) comprising a plurality of contact regions (10a, 10b) and at least one channel region (12) connected with the plurality of contact regions (10a, 10b), wherein the channel region (12) is formed of a first semiconductor material, the surface of the channel region (12) is covered with an insulation layer selectively formed on the channel region (12), each of the plurality of contact regions (10a, 10b) is formed of a second semiconductor material different from the first semiconductor material of the channel region (12), and at least the surface of the channel region (12) has a conductive portion.

[続葉有]



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明のナノワイヤ(100)は、複数のコンタクト領域(10a、10b)と、複数のコンタク領域(10a、10b)に接続された少なくとも1つのチャネル領域と(12)を備える。チャネル領域(12)は第1半導体材料から形成されており、チャネル領域(12)の表面は、チャネル領域(12)上に選択的に形成された絶縁層によって被覆されている。複数のコンタクト領域(10a、10b)の各々は前記チャネル領域(12)の第1半導体材料とは異なる第2半導体材料から形成されている。コンタクト領域(12)の少なくとも表面は導電部分を有している。

明 細 書

半導体ナノワイヤ、および当該ナノワイヤを備えた半導体装置

技術分野

- [0001] 本発明は、半導体ナノワイヤに関し、特に低抵抗コンタクト実現に適した新規な構造を有する半導体ナノワイヤと、この半導体ナノワイヤを備えた半導体装置に関する。

背景技術

- [0002] ナノテクノロジーの分野では、ナノメートルオーダーの直径を有するワイヤ(ナノワイヤ)やチューブ(ナノチューブ)の研究が活発に進められている。なかでも、自己組織化によって形成された半導体ナノワイヤをチャネル領域に用いるトランジスタが注目されている。半導体ナノワイヤは、結晶成長の触媒として機能する金属微粒子を基板上に形成した後、例えばVLS機構によって基板上に成長させられる(特許文献1など)。このため、実用的なトランジスタ回路を基板上に集積するには、目的とする位置に半導体ナノワイヤを成長させることが必要になる。
- [0003] 一方、別の基板上に成長させたSiナノワイヤを溶媒中に分散し、その溶媒をプラスチック基板上に塗布することにより、Siナノワイヤの薄膜トランジスタをプラスチック基板上に形成する技術が報告されている(非特許文献1)。

特許文献1:特表2004-507104号公報

非特許文献1:”High-performance thin-film transistors using semiconductor nanowires and nanoribbons”, Nature, vol.425, 18 September 2003, pp. 274-278.

発明の開示

発明が解決しようとする課題

- [0004] 特許文献1に開示されている技術では、VLS機構による結晶成長に必要な温度(820～1150℃程度)に耐える成長基板を回路基板として用いる必要がある。このため、プラスチック基板を成長基板として用いることはできず、半導体ナノワイヤを用いた薄膜トランジスタをプラスチック基板上に形成することは困難である。
- [0005] 一方、非特許文献1に開示されている技術では、ナノワイヤの成長基板と塗布基板

とを異なる材料から形成することができるため、プラスチック基板上にもナノワイヤを用いた薄膜トランジスタを形成することが可能になる。また非特許文献1には、ナノワイヤの全周囲に熱酸化膜(シリコン酸化膜)を形成した構造が開示されている。ナノワイヤの全周囲をシリコン酸化膜で覆っておく理由は、ナノワイヤとシリコン酸化膜との界面を清浄に維持し、シリコン酸化膜をゲート絶縁膜の一部として用いる場合に、良好な界面特性を得るためである。

[0006] しかし、このような全周囲にシリコン酸化膜が形成されたナノワイヤを用いた場合、塗布基板上でソース・ドレイン電極と電氣的コンタクトをとることが難しい。塗布基板上にナノワイヤを配置した後、フォトリソグラフィおよびエッチング技術により、ナノワイヤのコンタクト領域からシリコン酸化膜を除去することが必要になるからである。

[0007] 更に、ナノワイヤとソース・ドレイン電極との接触面積は小さく、また、プラスチック基板はコンタクト抵抗低減に必要な熱処理にも耐えられないという問題もある。

[0008] 本発明は、上記課題を解決するためになされたものであり、その主たる目的は、コンタクト抵抗低減に適した新規な構造を有するナノワイヤを提供することにある。

[0009] 本発明の他の目的は、アライメントの容易なナノワイヤを提供することにある。

[0010] 本発明の更に他の目的は、上記ナノワイヤを備える半導体装置を提供することにある。

課題を解決するための手段

[0011] 本発明のナノワイヤは、複数のコンタクト領域と、前記複数のコンタク領域に接続された少なくとも1つのチャネル領域とを含むナノワイヤであって、前記チャネル領域は第1半導体材料から形成されており、かつ前記チャネル領域の表面は、前記チャネル領域上に選択的に形成された絶縁層によって被覆されており、前記複数のコンタクト領域の各々は前記チャネル領域の前記第1半導体材料とは異なる第2半導体材料から形成され、前記コンタクト領域の少なくとも表面は導電部分を有している。

[0012] 好ましい実施形態において、前記第1半導体材料は SiGe_x ($0 < x \leq 1$)であり、前記第2半導体材料は SiGe_y ($0 \leq y < 1$ 、 $x \neq y$)である。

[0013] 好ましい実施形態において、前記絶縁層は、前記半導体材料の酸化物から形成されている。

- [0014] 好ましい実施形態において、前記絶縁層は、前記チャネル領域の表面の熱酸化によって形成されている。
- [0015] 好ましい実施形態において、前記絶縁層は、前記チャネル領域の表面を覆っているが、前記コンタクト領域の表面は覆っていない。
- [0016] 好ましい実施形態において、前記チャネル領域の長軸方向長さは、1000nm以下である。
- [0017] 好ましい実施形態において、前記コンタクト領域の導電部分は、不純物がドープされ、前記チャネル領域よりも高い導電率を示す第2半導体材料から形成されている。
- [0018] 好ましい実施形態において、前記コンタクト領域の導電部分は、前記第2半導体材料を構成する元素と金属元素とが結合した合金から形成されている。
- [0019] 好ましい実施形態において、前記コンタクト領域は、前記導電部分に含まれる金属と結合している元素から構成された半導体材料からなるコア部分を有している。
- [0020] 好ましい実施形態において、前記合金は、シリコンの金属化合物またはゲルマニウムの金属化合物である。
- [0021] 好ましい実施形態において、前記コンタクト領域の個数は、N個(Nは3以上の整数)であり、前記チャネル領域の個数は、M個(MはN-1)である。
- [0022] 好ましい実施形態において、前記コンタクト領域および前記チャネル領域は、長軸方向に沿って所定のピッチで交互に配列されている。
- [0023] 好ましい実施形態において、前記ナノワイヤは一对の電極間に配置され、前記一对の電極の各々の電極と前記ナノワイヤの前記コンタクト領域の少なくとも一部とは電氣的に接合されており、前記各チャネル領域の長さを L_{ch} 、前記一对の電極間隔を L_{SD} 、コンタクト領域の長さを L_{cont} 、前記一对の電極の一方のチャネル長方向の長さを L_s 、他方の電極のチャネル長方向の長さを L_D とすると、(式1)～(式3)の関係を満足する。
- [0024] $L_s > L_{ch}$ (式1)
- $L_D > L_{ch}$ (式2)
- $L_{SD} > L_{CONT}$ (式3)
- [0025] 本発明によるナノワイヤの製造方法は、第1半導体材料から形成された部分と前記

第1半導体材料とは異なる第2半導体材料から形成された部分とを含むナノワイヤ素材を用意する工程(A)と、前記ナノワイヤ素材のうち、前記第1半導体材料から形成された部分の表面に選択的に絶縁層を形成し、前記第2半導体材料から形成された部分の少なくとも表面は導電部として機能させる工程(B)とを含む。

[0026] 好ましい実施形態において、前記ナノワイヤ素材における前記第2半導体材料から形成された部分の表面を金属元素との反応によって合金化する工程(C)と、を含む。

[0027] 好ましい実施形態において、前記工程(A)は、第1の結晶成長条件で前記第1半導体材料を成長させる工程(a1)と、前記第1の結晶成長条件とは異なる第2の結晶成長条件で前記第2半導体材料を成長させる工程(a2)とを含む。

[0028] 好ましい実施形態において、前記工程(B)は、前記ナノワイヤ素材における前記第1および第2半導体材料の表面を酸化することによって前記表面上に酸化膜を形成する工程(b1)と、前記酸化膜のうち前記第2半導体材料の表面に形成された部分を選択的に除去することにより、前記第1半導体材料の表面に前記酸化膜の一部を残存させる工程(b2)とを含む。

[0029] 好ましい実施形態において、前記工程(C)は、前記ナノワイヤ素材における前記第1および第2半導体材料の表面を覆う金属層を形成する工程(c1)と、前記金属層と前記第2半導体材料の表面とが接触する部分で合金化を行なう工程(c2)と、前記金属層のうち合金化しなかった部分を選択的に除去する工程(c3)とを含む。

[0030] 本発明の電子素子は、少なくとも1本のナノワイヤと、前記ナノワイヤと電氣的に接続された複数の電極とを備えた電子素子であって、各ナノワイヤは、前記複数の電極のいずれかに接触する2つのコンタクト領域を含む複数のコンタクト領域と、前記複数のコンタクト領域に接続された少なくとも1つのチャネル領域とを含み、前記チャネル領域は、第1半導体材料から形成されており、前記チャネル領域上に選択的に形成された絶縁層によって被覆されており、前記複数のコンタクト領域の各々は、前記第1半導体材料とは異なる第2半導体材料から形成され、導電部分を少なくとも表面に有している。

[0031] 好ましい実施形態において、前記チャネル領域から絶縁され、前記チャネル領域

に電界を及ぼすゲート電極を更に備える。

[0032] 好ましい実施形態において、前記チャネル領域の長軸方向長さは、1000nm以下である。

[0033] 本発明の電子機器は、上記の複数の電子素子と、前記電極を接続する配線と、前記複数の電子素子および配線を支持する基板とを備える。

[0034] 好ましい実施形態において、前記複数の電子素子の各々に含まれる前記ナノワイヤは、前記基板上において、一定の方向に配向している。

[0035] 本発明による電子機器の製造方法は、上記の複数のナノワイヤが分散された溶媒を用意する工程と、前記溶媒を基板上に塗布する工程と、前記溶媒に含まれていた前記複数のナノワイヤの少なくとも1つにおける前記コンタクト領域を電極に接触させる工程とを含む。

[0036] 好ましい実施形態において、前記溶媒を基板上に塗布する工程は、前記溶媒に分散されていた複数のナノワイヤを一定の方向に配向させる工程を含む。

発明の効果

[0037] 本発明のナノワイヤは、チャネル領域の表面が絶縁層によって選択的に覆われているため、表面の全体が絶縁層で被覆されている従来のナノワイヤに比べて、以下の効果を得ることができる。

[0038] 1. ナノワイヤを基板上に配置した後、フォトリソグラフィおよびエッチング技術によってコンタクト領域から絶縁皮膜を除去する工程(コンタクトエッチング工程)が不要になる。このため、製造工程が簡略化されるとともに、マスクアライメントのずれに起因する製造歩留まり低下を抑制することができる。更に、絶縁層をゲート絶縁膜としてそのまま利用する場合、チャネル領域の端部と絶縁層との端部が整合することにより、トランジスタ特性を高めることが可能になる。

[0039] 2. フォトリソグラフィおよびエッチング技術を用いてチャネル領域のみを絶縁層で被覆しようとする場合、チャネル領域の長軸方向長さはフォトリソグラフィの解像限界よりも短くすることはできないが、本発明では、チャネル領域の長軸方向長さをフォトリソグラフィの解像限界よりも短くすることができる。

[0040] 3. 本発明のナノワイヤでは、各コンタクト領域がナノワイヤを基板上に配置する前

から導電部分を有しているため、電界効果トランジスタなどの電極との間で低いコンタクト抵抗を実現することが容易になる。特に、ナノワイヤ自体が既にシリサイドなどから形成された導電部分を有していると、本発明のナノワイヤを成長基板とは異なる素子基板上に配置し、トランジスタなどの電子素子を作製するとき、素子基板に低コンタクト抵抗化のための高温プロセス(たとえばシリサイド化工程)を施す必要がなくなる。このため、融点や軟化点が相対的に低い基板(例えばプラスチック基板)上に優れた特性を有するナノワイヤ素子を作製することが可能になる。

図面の簡単な説明

[0041] [図1]本発明の実施形態1におけるナノワイヤ100の斜視図である。

[図2](a)は、ナノワイヤ100の長軸方向に沿った断面図であり、(b)は、ナノワイヤ100を備えた電界効果トランジスタの断面図である。

[図3](a)は実施形態1におけるナノワイヤの製造方法における途中の工程を示す斜視図であって、触媒微粒子130が形成された支持体101を示している。(b)および(c)は、触媒微粒子130を形成するための製造工程図である。

[図4](a)から(c)は、実施形態1におけるナノワイヤの製造方法を示す工程断面図である。

[図5](a)から(g)は、実施形態1におけるナノワイヤの製造方法をより詳細に示す工程断面図である。

[図6]実施形態1における電界効果型トランジスタの一例を示す平面図である。

[図7]実施形態1における電界効果型トランジスタの他の例を示す平面図である。

[図8]実施形態1で使用する素子基板の他の例を示す平面図である。

[図9](a)は、本発明の実施形態2におけるナノワイヤを示す図であり、(b)は、実施形態2における電界効果型トランジスタを示す平面図である。

[図10]実施形態2の電界効果型トランジスタにおける各要素の寸法を説明するための平面レイアウト図である。

[図11]本発明の実施形態3における電界効果型トランジスタを示す平面図である。

[図12](a)から(c)は、本発明の実施形態4におけるナノワイヤの製造方法を示す断面図である。

[図13](a)および(b)は、本発明による電子装置の他の構成例を示す断面図である。

符号の説明

[0042]	10a	コンタクト領域
	10b	コンタクト領域
	12	チャネル領域
	14	酸化膜
	16a	ソース電極
	16b	ドレイン電極
	20	素子基板
	30	ゲート電極
	100	ナノワイヤ
	100a	Ge部分
	100b	Si部分
	100c	Ge部分

発明を実施するための最良の形態

[0043] 本発明では、コンタクト領域に特徴を有するナノワイヤを用いて電界効果トランジスタなどの電子素子を形成する。

[0044] (実施形態1)

以下、図1および図2を参照しながら、本発明によるナノワイヤの第1の実施形態を説明する。図1は、本実施形態におけるナノワイヤ100の斜視図である。図2(a)は、ナノワイヤ100の長軸方向に沿った断面図であり、図2(b)は、ナノワイヤ100を備えた電界効果トランジスタの断面図である。

[0045] 図1および図2に示されているナノワイヤ100は、一対のコンタクト領域10a、10bと、これらのコンタクト領域10a、10bに接続されたチャネル領域12とを有している。本実施形態では、チャネル領域12がシリコン(Si)から形成されているのに対して、コンタクト領域10a、10bは、Siとは異なる材料から形成された導電部分を少なくとも表面に有している。より具体的に説明すると、コンタクト領域10a、10bは、p型不純物が高濃度にドーピングされたGeからなるコア部分と、そのコア部分の外周部を被覆する合金

部分とから構成されている(ここではp型半導体のチャネル領域について述べたが、n型についても同様に適用できる)。このコンタクト領域10a、10bの表面に設けられた合金部分は、NiをGe表面と反応させることによって形成した金属化合物である。また、チャネル領域12の表面は酸化膜14によって被覆されている。

[0046] なお、図示されている例では、コンタクト領域10a、10bの導電部分がシリサイドから形成されているが、この導電部分はチャネル領域よりも電気抵抗(比抵抗)が十分に低減されていれば良く、シリサイド化されている必要は無い。Geからなるコンタクト領域10a、10bの少なくとも表面に不純物が高濃度にドーピングされていれば、電気抵抗が十分に低減されるため、コンタクト領域10a、10bの表面は「導電領域」として機能する。

[0047] このように、本実施形態のナノワイヤ100は、その両端部分に導電性に優れるコンタクト領域10a、10bを有しているため、ナノワイヤ100と電極との間の電氣的コンタクト抵抗を従来よりも低下させることができる。

[0048] 本実施形態のナノワイヤ100では、コンタクト領域10a、10bが、トランジスタのソース・ドレイン領域として機能することになり、チャネル領域12の長軸方向長さがトランジスタのチャネル長を規定することになる。

[0049] 図2(b)に示される電界効果トランジスタは、上述のナノワイヤ100と、このナノワイヤ100のコンタクト領域10a、10bにそれぞれ接触するソース・ドレイン電極16a、16bと、これらを支持する素子基板20とを備えている。この素子基板20の上面にはゲート絶縁膜18が形成されており、素子基板20は、ナノワイヤ100のチャネル領域12の導電性を制御するためのゲート電極として機能する。図示されている例では、ナノワイヤ100を支持する素子基板20が導電性を有し、ゲート電極として機能しているが、ゲート電極の形態は、このような場合に限定されない。すなわち、公知のTFT(薄膜トランジスタ)のように、ガラスやプラスチックなどの材料からなる絶縁基板上に、導電膜パターンを形成し、この導電膜パターンによってゲート電極を構成してもよい。

[0050] 以下、図3および図4を参照しながら、本実施形態におけるナノワイヤの製造方法を説明する。

[0051] まず、図3(a)に示すように、成長用基板として機能する支持体101上に触媒微粒

子130を形成する。触媒微粒子130は、単結晶半導体を成長（エピタキシャル成長）させる際、原料ガスを分解する触媒として機能する。支持体101は、以下の製造工程において用いる熱処理温度で変形しない限り、種々の材料によって構成することができる。具体的には、ガラス基板、Si基板、シリコン酸化膜が形成された基板などを用いることができる。支持体101の表面は結晶性を有している必要はない。また、支持体101の表面には、支持体101の本体を構成している材料とは異なる材料から形成された膜が形成されていても良い。

[0052] 本発明のナノワイヤとして成長させる単結晶半導体は、本実施形態で用いるSiやGeに限定されず、化合物半導体であってもよい。具体的には、GaAs、GaP、GaAsP、InP、InAs、InAsPなどのIII-V族化合物半導体、またはZnS、ZnSe、CdS、CdSeなどのII-VI族化合物半導体の単結晶を成長させてもよい。

[0053] 触媒金属元素には、Au、Fe、Ni、Ti、Pdなどを用いることができる。これらの金属は、原料ガスの分解促進に優れ、半導体を構成する元素と共晶状態を形成し、半導体の成長を促す機能を発揮する。触媒微粒子130の大きさは、成長させる半導体の直径とほぼ等しくなる。このため、所望の直径の半導体が得られるよう、触媒微粒子130の直径を選択することができる。しかし、触媒微粒子130の直径が大きくなりすぎると単結晶半導体を成長させることが困難となる。好ましくは、触媒微粒子130の直径は1nm～100nmであり、より好ましくは、5nmから50nmの範囲内である。

[0054] 触媒微粒子130の形成には、微粒子を形成する公知の方法を用いることができる。たとえば、図3(b)に示すように、支持体101の表面に触媒金属の薄膜130をスパッタ法や蒸着法などによる公知の薄膜形成装置を用いて形成する。その後、薄膜130'を熱処理すると、薄膜130'が自己凝集し、図3(c)に示すように粒子状の複数の触媒微粒子130が支持体101上に形成される。触媒微粒子130の直径d1および隣接する触媒微粒子130間の距離L1は、薄膜130'の厚さおよび熱処理条件に依存し、これらを調整することによりd1およびL1を変化させることができる。上述したように好ましくは、触媒微粒子130の直径d1は100nm以下である。

[0055] 触媒微粒子130は、このほか、触媒金属を含む溶液を支持体101の表面に塗布あるいは噴霧することによっても形成することができる。また、必要に応じて、薄膜103'

を形成後、パターニングを行い、支持体101上の所定の領域にのみ触媒微粒子130を形成することも可能である。

[0056] 次に、触媒微粒子130が形成された支持体101をCVD装置などのチャンバ内に導入する。そして、図4(a)に示すように、半導体を構成する元素を含む原料ガス108をチャンバに導入し、所定の圧力に保つ。これにより、支持体101の触媒微粒子130が形成された表面は所定の圧力の原料ガス雰囲気と接する。支持体101は原料ガス108が分解する温度よりも低い温度で加熱される。

[0057] 原料ガス108としては、半導体を構成する元素の水素化物を好適に用いることができる。例えば、SiまたはGeを含有するIV族半導体を成長させるには、 SiH_4 、 Si_2H_6 、 GeH_4 などを用いることができる。

[0058] 本実施形態では、後に詳しく説明するように、原料ガス108を結晶成長の途中で GeH_4 から SiH_4 に切り替え、また、その後に SiH_4 から GeH_4 に切り替える。更には、原料ガス中に適宜ドーパント用ガスが添加される。なお、化合物半導体を成長させる場合には、原料ガスとして有機金属化合物を好適に用いることができる。

[0059] 図4(b)に示すように、導入された原料ガス108は、触媒微粒子130の近傍においてのみ選択的に分解する。分解により半導体を構成する元素が析出し、析出した元素が凝集し単結晶半導体が成長する。これにより単結晶半導体からなる微小構造体111が形成されてゆく。単結晶半導体の成長メカニズムは、まだ完全には解明されていないが、析出した元素はまず、触媒微粒子130と合金を構成すると考えられる。この合金は多くの場合、液体になっている。元素の析出にともない、合金中の半導体を構成する元素濃度が上昇し、飽和状態に達した後、半導体を構成する元素が凝集し単結晶半導体を形成してゆくと考えられる。

[0060] このため、結晶の成長は、触媒微粒子130と成長した単結晶半導体からなる微小構造体111との境界で起こると考えられる。単結晶半導体の成長にともなって、触媒微粒子130は支持体101から離間する。微小構造体111の支持体101と接していない端部に触媒微粒子130は保持される。これにより、図4(c)に示すように単結晶半導体が成長し、微小構造体111が形成される。

[0061] このようにして成長された単結晶半導体からなる微小構造体111は、好ましくは、成

長方向に垂直な断面の最大長が1nm～100nmであり、より好ましくは、5～50nmである。微小構造体111は、支持体101に支持されており、その先端には、触媒微粒子130が接している。上述したように、半導体成長中に触媒微粒子130は熔融し、球状となるため、成長する微小構造体111は円柱形状を備える。しかし、微小構造体111の断面は円以外の形状を備えていてもよい。

[0062] なお、微小構造体111の結晶成長方向の長さは、結晶を成長させる時間によって調節可能である。十分長い時間結晶成長を行えば、長さが数 μ mの微小構造体111を形成することも可能である。微小構造体111の直径が100nm以下であり、結晶成長方向が長手方向と一致している場合には、微小構造体111は「ナノワイヤ」と一般的に呼ばれる外形形状を備える。

[0063] また、微小構造体111は支持体101から上方へおおよそ垂直に成長しているが、単結晶半導体の成長方向は支持体101の表面に対して、横(水平)あるいは斜めであってもよい。ある方向への成長が優先的に生じるように、単結晶半導体の成長条件を最適化してもよいし、ランダムな方向へ単結晶半導体を成長させてもよい。

[0064] 次に、図5を参照しながら、本実施形態のナノワイヤを製造する方法を、より詳細に説明する。

[0065] まず、図5(a)に示すように基板上に触媒金属粒子130を形成した後、図5(b)に示すようにGeを成長させる。このとき、ドーパントガスとして B_2H_6 (p型)または PH_3 (n型)を添加した GeH_4 を原料ガスとして用い、基板温度を300～400℃程度に保持することにより、ナノワイヤのGe部分100aを成長させる。このGe部分100aの長さは、例えば、100～1000nmの範囲に設定される。Ge部分100aは、最終的には、ナノワイヤのコンタクト領域10aとして機能することになる。

[0066] 次に、原料ガスを SiH_4 に切り替えることにより、図5(c)に示すように、Si部分100bをGe部分100aの上に成長させる。このSi部分100bはチャネル領域12として機能する部分であり、ドーパントガスは原料ガスに添加する必要はない。ただし、ナノワイヤをpチャネル型トランジスタに用いる場合は、Si部分にn型不純物を低濃度にドーピングすることが好ましい。一方、ナノワイヤをnチャネル型トランジスタに用いる場合は、Si部分100bにp型不純物を低濃度にドーピングすることが好ましい。このようなチャネル

ドーブも、 SiH_4 にドーパント用ガスを微量に添加することによって実行できる。

[0067] ナノワイヤにおけるSi部分100bの長さは、チャンネル長を規定する。形成すべきトランジスタの設計に応じて、Si部分100bの成長レートおよび成長時間を調節し、所望の長さのSi部分100bを形成することができる。本実施形態では、Si部分100bの長さを例えば100～5000nmの範囲に設定することができる。

[0068] Si部分100bの成長の後、再び、ドーパントガスとして B_2H_6 (p型)または PH_3 (n型)を添加した GeH_4 を原料ガスに切り替える。こうして、図5(d)に示すように、ナノワイヤのGe部分100cをSi部分100b上に成長させる。Ge部分100cの長さは、例えば、100～1000nmの範囲に設定される。

[0069] 次に、図5(e)に示すように、ナノワイヤの表面を熱酸化することにより、ナノワイヤの表面に絶縁層140a～140cを形成する。酸化は、例えば、 N_2O ガスを用い、酸化温度を750～900℃、酸化時間を30分～2時間程度に設定して行うことができる。絶縁層140a～140cの厚さは、2～50nmの範囲で任意に設定される。ナノワイヤのうちGe部分100a、100bの表面にはGe酸化膜140a、140bが形成され、Si部分100bの表面にはSi酸化膜140bが形成される。

[0070] 次に、Si酸化膜140bよりも優先的にGe酸化膜140a、140cをエッチングする条件で酸化膜エッチングを行なう。具体的には、塩酸(HCl)などのエッチング液(温度25℃程度)に表面が熱酸化されたナノワイヤを1～10分程度浸すことにより、上記の選択的エッチングを行うことができる。これにより、図5(f)に示すように、Ge部分100a、100cの表面が露出し、Si部分100bの表面(外周面)が絶縁膜(Si酸化膜140b)で被覆された構造が得られる。

[0071] この後、不図示の金属をナノワイヤの表面に堆積する。このとき、CVD法によれば、ナノワイヤの表面全体を被覆するように金属層を形成することが容易である。一方、スパッタ法による場合は、ナノワイヤの表面のうち、金属ターゲットに面する側に部分的な金属層が形成されやすい。このため、スパッタ法によって堆積した金属膜でナノワイヤの外周面を被覆するには、成長基板を回転させることが好ましい。

[0072] ナノワイヤの外周面を被覆する金属層の一部は、Ge部分100a、100bと直接に接触しているが、他の部分は、Si部分100bの外周面に形成されたSi酸化膜140bと接

触している。このSi酸化膜140bの介在により、金属膜はSi部分100bとは直接に接触していない。

- [0073] 次に、金属膜を構成する金属元素がGeと反応して、金属とGeとの化合物(合金)を形成するように熱処理(合金化処理)を行なう。この熱処理により、Ge部分100a、100bの表面は合金化されるが、Si酸化膜によって被覆されたSi部分の表面は合金化されない。この合金化によって、合金層150a、150bがナノワイヤの両端部分に形成される。
- [0074] その後、ナノワイヤの表面に堆積した金属膜のうちの未反応部分(Si酸化膜140bを覆う部分)を選択的にエッチングすることにより、図5(g)に示す構成のナノワイヤが得られる。このナノワイヤは、両端部のコンタクト領域に合金層150a、150bを有している点に大きな特徴を有している。チャネル領域の外周面は絶縁膜(Si酸化膜140b)によって被覆されている。
- [0075] なお、前述したように、合金層150a、150bをナノワイヤの両端部分に形成することは本発明にとって不可欠ではない。Ge部分100a、100bの表面における不純物濃度(ドーピングレベル)が十分に高ければ、良好なコンタクトを実現できるため、合金層150a、150bは設けなくてもよい。
- [0076] 次に、このようにして作製された多数のナノワイヤをエタノールなどの溶液に分散させ、この溶液を素子基板の表面に塗布する。本実施形態で用いる素子基板の表面には、あらかじめ、ゲート配線と、ゲート配線を被覆するゲート絶縁膜とが形成されている。上記の溶液を素子基板の表面に塗布するとき、素子基板上で溶液の流れを形成することにより、溶液中に分散していた個々のナノワイヤを流速方向に配向させることができる。このような溶液の流れを利用した配向を行うことにより、多数のナノワイヤが所定方向に向いて配列した構造が素子基板上に形成することができる。この方法の詳細は、例えば非特許文献1に開示されている。
- [0077] このようなナノワイヤの配列構造は、例えば500～1000nm程度の平均間隔で素子基板上に分散した多数のナノワイヤから構成されている。素子基板上におけるナノワイヤの平均間隔は、溶液中に含まれていたナノワイヤの密度を調節することによって制御することができる。溶液中に含まれていたナノワイヤの密度を低くすると、素子

基板上のナノワイヤは疎らに存在することになるが、逆に、溶液中に含まれていたナノワイヤの密度を高くすると、素子基板上のナノワイヤの平均間隔を縮小させ、隣接するナノワイヤが相互に接触するように稠密に配置を実現することもできる。

[0078] このような方法によれば、素子基板上における個々のナノワイヤの位置を正確に制御することはできないが、多数のナノワイヤを略一方向に配向させ、かつ、略均一な密度で素子基板上に配列させることができる。

[0079] 次に、多数のナノワイヤを上記方法で表面に配した素子基板を用い、その上にソース・ドレイン電極を形成する工程を実施する。電極形成のためのプロセスとしては、半導体集積回路の製造に用いられている公知のプロセスを採用することができる。

[0080] 以上の工程を経て、図6に示すトランジスタ素子を形成することができる。図6では、素子基板20上に形成したソース電極16aとドレイン電極16bとの間に1本のナノワイヤ100が存在している例が示されているが、図7に示すように、ソース電極16aとドレイン電極16bとの間には複数のナノワイヤが存在していてもよい。図7に示す例では、ソース電極16aおよびドレイン電極16bの両方に電氣的に接続された2本のナノワイヤA以外に、一方の電極16aまたは16bのみに接続されたナノワイヤBや、いずれの電極16a、16bにも接続されていないナノワイヤCが図示されている。これらのナノワイヤA～Cのうち、トランジスタのチャネルとして動作し得るものは、ナノワイヤAのみである。

[0081] 前述のように、素子基板20上には多数のナノワイヤが略一方向に沿って配列されている。そのような表面状態の素子基板20に対して、ソース電極16aおよびドレイン電極16bを形成するとき、導電膜の堆積工程、リソグラフィ工程、エッチング工程を順次実行することになる。ソース電極16aおよびドレイン電極16bのサイズおよび間隔を適切な範囲に設定することにより、少なくとも1本のナノワイヤがソース電極16aおよびドレイン電極16bを確実に接続するように構成することが可能である。図8は、図7に示す例よりも高密度でナノワイヤが配置された素子基板の表面を示している。ナノワイヤの密度を更に高めてゆくと、ナノワイヤからなる膜を形成することも可能である。このような膜は、ナノワイヤの配向方向に異方的な導電性を有する半導体特性を有している。

- [0082] 1つのトランジスタのチャネル領域として機能するナノワイヤの本数は、素子基板の表面に存在するナノワイヤの個数密度に依存する。この個数密度を高くすると、一對のソース・ドレイン電極16a、16bの間に位置するナノワイヤの個数が増加し、また個数ばらつきの小さくなる傾向がある。密集したナノワイヤは、異方性を有する一種の半導体膜として機能しうる。ソース・ドレイン電極を形成した後、不要なナノワイヤをエッチングすることによって素子基板上から除去することが好ましい。
- [0083] 本実施形態では、低コンタクト抵抗を実験するため、各ナノワイヤのコンタクト領域10a、10bの表面を合金化しているが、合金化のための工程は省略してもよい。合金化工程を省略する場合、ナノワイヤのコンタクト領域10a、10bの表面は、図5(f)に示される状態にあり、p型またはn型不純物が高濃度にドーピングされたGeが露出している。このようなナノワイヤを用いても、コンタクト領域10a、10bが金属的な高い導電性を示すため、ソース・ドレイン電極16a、16bとの間でオーミックコンタクトを実現することができる。
- [0084] また、本実施形態では、チャネル領域をナノワイヤのSi部分によって構成し、コンタクト領域をGe部分によって構成しているが、本発明はこのような場合に限定されない。チャネル領域をGeなどのSi以外の半導体から形成し、コンタクト領域をSiから形成してもよい。その場合、コンタクト領域の表面は金属層と反応してシリサイド化されることになる。シリサイド化に好適に用いられる金属は、例えば、Ti、Co、Niなどである。
- [0085] チャネル領域を選択的に被覆する絶縁膜を形成するためには、本実施形態のように、相互にエッチング特性の異なる熱酸化膜を形成する材料からチャネル領域とコンタクト領域とを構成することが好ましい。しかし、そのために必要な半導体材料の組み合わせは、SiとGeに限定されない。例えば、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) からチャネル領域を形成し、 $\text{Si}_y\text{Ge}_{1-y}$ ($0 < y < 1, x \neq y$) からコンタクト領域を形成しても、組成比率(x、y)の違いによって形成される熱酸化膜のエッチング特性に差異を設けることが可能な場合がある。チャネル領域がSiから形成され、コンタクト領域がGeから形成される場合を含むように記載すると、好ましい実施形態において、チャネル領域(第1半導体材料)は $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x \leq 1$) であり、コンタクト領域(第2半導体材料)は $\text{Si}_y\text{Ge}_{1-y}$ ($0 \leq y < 1, x \neq y$) である。

- [0086] なお、チャネル領域およびコンタクト領域の両方を同一組成の半導体材料から形成してもよい。コンタクト領域における不純物濃度をチャネル領域における不純物濃度よりも高く設定することにより、ナノワイヤの表面に形成される熱酸化膜のエッチング特性に差異を与えることが可能になる場合もある。コンタクト領域の表面に形成される熱酸化膜を選択的にエッチングすることができれば、リソグラフィ工程を行うことなく、コンタクト領域の表面のみを露出させることが可能になる。
- [0087] このように本実施形態では、ナノワイヤの表面に形成する熱酸化膜のうちコンタクト領域の表面を覆う部分のエッチングレートをチャネル領域の表面を覆う部分のエッチングレートを高めることにより、コンタクト領域の表面を自己整合的に露出させることを可能にしている。しかし、このような自己整合的な方法を用いる代わりに、リソグラフィおよびエッチング工程を付加的に行なうことにより、チャネル領域のみを被覆する絶縁膜を形成してもよい。ただし、基板上に成長した個々のナノワイヤに対し、リソグラフィ技術を用いてチャネル領域のみを被覆するレジストマスクを形成することは困難である。このため、本実施形態のように、ナノワイヤのコンタクト領域とチャネル領域とを異なる半導体材料から形成することが好ましい。
- [0088] ナノワイヤのコンタクト領域とチャネル領域とを異なる材料から形成するとき、コンタクト領域の表面にのみ選択的に金属層を成長させて導電部分を形成し、その後に、チャネル領域の表面を絶縁化する処理を行なうようにしてもよい。
- [0089] (実施形態2)
- 次に、図9(a)および(b)を参照しながら、本発明の第2の実施形態を説明する。
- [0090] 図9(a)は、本実施形態におけるナノワイヤを示す図であり図9(b)は、このようなナノワイヤを用いて作製した電界効果トランジスタの平面図である。
- [0091] 本実施形態の特徴的な点は、図9(a)に示すように、1本のナノワイヤが3個以上のコンタクト領域 $10_1 \sim 10_N$ (Nは3以上の整数)と、2個以上のチャネル領域 $12_1 \sim 12_M$ (Mは2以上の整数)とを備えていることにある。
- [0092] このようなナノワイヤは、図5(b)～(d)を参照して説明した結晶成長プロセスを繰り返して実行し、例えばGe部分とSi部分と交互に成長させることによって作製され得る。この場合、Si部分のみを絶縁膜で被覆し、Ge部分の表面を選択的に合金化する

点は、前述の実施形態と同様である。

[0093] 図9(b)からわかるように、ソース・ドレイン電極16a、16bに接続された各ナノワイヤにおける「チャンネル長」は、ソース電極16aに接触しているコンタクト領域と、ドレイン電極16bに接触しているコンタクト領域との間に存在するチャンネル領域の個数(P)に比例する。すなわち、チャンネル長＝1つのチャンネル領域の長さ×Pである。チャンネル幅に相当する大きさは、ソース電極16aとドレイン電極16bとを接続するナノワイヤの本数に比例する。

[0094] 次に、図10を参照しながら、ソース・ドレイン電極16a、16bの位置がナノワイヤの長軸方向にずれた場合を考える。ここで、各チャンネル領域の長さを L_{ch} 、ソース・ドレイン電極間隔を L_{SD} 、コンタクト領域の長さを L_{cont} 、ソース電極16aのチャンネル長方向の長さを L_s 、ドレイン電極16bのチャンネル長方向の長さを L_D とする。

[0095] ソース・ドレイン電極16a、16bの位置がナノワイヤの長軸方向に沿って大きくシフトした場合でも、常に適切なコンタクトを実現できれば、アライメントフリーで電界効果トランジスタを歩留まり良く作製することが可能になる。

[0096] このようなアライメントフリーを実現するためには、以下の点に留意する必要がある。

[0097] まず、ソース電極16aおよびドレイン電極16bが、それぞれ、異なるコンタクト領域と常に接触する必要がある。このためには、以下の式を満足することが不可欠である。

$$[0098] \quad L_s > L_{ch} \quad (\text{式1})$$

$$L_D > L_{ch} \quad (\text{式2})$$

$$L_{SD} > L_{CONT} \quad (\text{式3})$$

[0099] 式1を満足すると、ソース電極16aが横方向にずれても常にコンタクト領域の一部がソース電極16aに接触することが可能になる。同様に式2を満足すると、ドレイン電極16bが横方向にずれても常にコンタクト領域の一部がソース電極16bに接触し得る。なお、コンタクト抵抗を低減するには、上記の接触面積を拡大することが好ましいが、この接触面積を拡大するには、 L_s および L_D を大きな値(例えば $L_{ch} + L_{CONT}$ を超える値)に設定すれば良い。

[0100] 式3を満足すると、ソース電極16aおよびドレイン電極16bの両方が同一のコンタクト領域に接触して短絡してしまう事態を避けることができる。なお、 L_{SD} は、ナノワイヤ

の全長よりも小さいことが必要である。

- [0101] 以上の説明から明らかなように、素子基板上に形成されるソース・ドレイン電極16a、16bのサイズおよび間隔に比べ、 L_{ch} および L_{CONT} を十分に小さい値に設定し、かつ、ナノワイヤの長さを十分に長く形成すれば、長軸方向のアライメントフリーを実現できる。
- [0102] チャネル長方向に垂直な方向の位置合わせについてアライメントフリーを達成するには、素子基板上に配置されたナノワイヤの個数密度を高め、ソース・ドレイン電極16a、16bが多数(例えば50本以上)のナノワイヤを横切るように設計することが好ましい。
- [0103] 本実施形態のナノワイヤにおいて、コンタクト領域およびチャネル領域は、長軸方向に沿って所定のピッチで交互に配列されていることが好ましく、そのピッチ($L_{ch} + L_{cont}$)は、例えば、300nm以上3000nm以下の範囲に設定される。また、各チャネル領域の長軸方向の長さは、例えば100nm以上1000nm以下に設定される。
- [0104] (実施形態3)
- 次に、図11を参照しながら、本発明の第3の実施形態を説明する。
- [0105] 図11は、本実施形態におけるナノワイヤ200を用いて作製した電界効果トランジスタの平面図である。図6に示す電界効果トランジスタとの相違点は、ナノワイヤ200のチャネル領域の長さがソース電極16aとドレイン電極16bとの間隔よりも短い点にある。
- [0106] 本実施形態では、リソグラフィ技術の限界を超えてチャネル長を短縮している。前述のように、チャネル長はナノワイヤのチャネル領域の長さに規定され、この長さは、ナノワイヤの成長プロセスで制御できる。このため、リソグラフィ技術の限界によらず、チャネル領域の長さは極めて短い値(例えば50～1000nmの範囲、好ましくは500nm以下)に設定することが可能である。
- [0107] (実施形態4)
- 以下、図12(a)～(c)を参照しながら、本発明の第4の実施形態を説明する。
- [0108] 本実施形態では、まず、図12(a)に示すように、Ti膜220が表面に形成された成長基板を用意し、この基板のTi膜220上にTi微粒子230を形成する。

- [0109] 次に、前述した方法と同様の方法により、ナノワイヤを構成するシリコン部分240を成長させ、図12(b)に示す構造を得る。
- [0110] その後、熱処理(例えば600～800℃)を実行することにより、Tiとシリコン部分240とが接触している領域においてシリサイド化を行い、図12(c)に示すように、シリサイド部分250を形成する。
- [0111] 本実施形態の方法によれば、ナノワイヤの表面にシリサイド化に必要な金属の膜を別途堆積する必要が無くなる。
- [0112] なお、本発明のナノワイヤを用いて作製され得る電子素子は、図1(b)に示すような構成を有するトランジスタに限定されない。図13(a)、(b)は、本発明による電子装置の他の構成例を示している。図13(a)、(b)に示す例では、ナノワイヤのチャネル領域に形成された酸化膜14をゲート絶縁膜として用い、ゲート電極30はナノワイヤ100を上方から横切るように形成されている(トップゲート型トランジスタ)。この例では、ゲート電極30を形成した後、ナノワイヤ100に対してイオン注入を行うことにより、ソース・ドレイン領域を形成している。
- [0113] 図6、図11などでは、ナノワイヤ100よりも素子基板20に近い側にソース電極16aおよびドレイン電極16bが配置されているように記載されているが、現実には、ソース電極16aおよびドレイン電極16bと素子基板20との間にナノワイヤ100が配置されていても良い。低いコンタクト抵抗を実現するという観点からは、ソース電極16aおよびドレイン電極16bがナノワイヤ100のコンタクト領域10aとの間の接触面積を大きくする配置が好ましい。

産業上の利用可能性

- [0114] 本発明のナノワイヤは、高温プロセスに耐えられないプラスチックのような材料からなる基板上に電界効果トランジスタを形成し、しかも、ソース・ドレイン電極とナノワイヤとの間で低抵抗コンタクトを実現することが可能になる。このような電界効果トランジスタは、薄型のフラットパネルディスプレイにおけるスイッチング素子や駆動回路に特に適している。
- [0115] また、本発明のナノワイヤは、従来のリソグラフィでは実現困難な微細な短チャネルトランジスタの製造に好適に用いられる。

請求の範囲

- [1] 複数のコンタクト領域と、前記複数のコンタクト領域に接続された少なくとも1つのチャネル領域とを含むナノワイヤであって、
- 前記チャネル領域は第1半導体材料から形成されており、かつ前記チャネル領域の表面は、前記チャネル領域上に選択的に形成された絶縁層によって被覆されており、
- 前記複数のコンタクト領域の各々は前記チャネル領域の前記第1半導体材料とは異なる第2半導体材料から形成され、前記コンタクト領域の少なくとも表面は導電部分を有しているナノワイヤ。
- [2] 前記第1半導体材料は SiGe_x ($0 < x \leq 1$)であり、前記第2半導体材料は SiGe_y ($0 \leq y < 1$ 、 $x \neq y$)である、請求項1に記載のナノワイヤ。
- [3] 前記絶縁層は、前記半導体材料の酸化物から形成されている請求項1に記載のナノワイヤ。
- [4] 前記絶縁層は、前記チャネル領域の表面の熱酸化によって形成されている請求項3に記載のナノワイヤ。
- [5] 前記絶縁層は、前記チャネル領域の表面を覆っているが、前記コンタクト領域の表面は覆っていない、請求項1に記載のナノワイヤ。
- [6] 前記チャネル領域の長軸方向長さは、1000nm以下である、請求項1に記載のナノワイヤ。
- [7] 前記コンタクト領域の導電部分は、不純物がドーピングされ、前記チャネル領域よりも高い導電率を示す第2半導体材料から形成されている請求項1に記載のナノワイヤ。
- [8] 前記コンタクト領域の導電部分は、前記第2半導体材料を構成する元素と金属元素とが結合した合金から形成されている、請求項1に記載のナノワイヤ。
- [9] 前記コンタクト領域は、前記導電部分に含まれる金属と結合している元素から構成された半導体材料からなるコア部分を有している、請求項8に記載のナノワイヤ。
- [10] 前記合金は、シリコンの金属化合物またはゲルマニウムの金属化合物である請求項9に記載のナノワイヤ。
- [11] 前記コンタクト領域の個数は、N個 (Nは3以上の整数)であり、

前記チャネル領域の個数は、 M 個 (M は $N-1$)である、請求項1に記載のナノワイヤ。

[12] 前記コンタクト領域および前記チャネル領域は、長軸方向に沿って所定のピッチで交互に配列されている、請求項11に記載のナノワイヤ。

[13] 前記ナノワイヤは一对の電極間に配置され、前記一对の電極の各々の電極と前記ナノワイヤの前記コンタクト領域の少なくとも一部とは電氣的に接合されており、

前記各チャネル領域の長さを L_{ch} 、前記一对の電極間隔を L_{SD} 、コンタクト領域の長さを L_{cont} 、前記一对の電極の一方のチャネル長方向の長さを L_s 、他方の電極のチャネル長方向の長さを L_D とすると、(式1)～(式3)の関係を満足する請求項11に記載のナノワイヤ。

$$L_s > L_{ch} \quad (\text{式1})$$

$$L_D > L_{ch} \quad (\text{式2})$$

$$L_{SD} > L_{CONT} \quad (\text{式3})$$

[14] 第1半導体材料から形成された部分と前記第1半導体材料とは異なる第2半導体材料から形成された部分とを含むナノワイヤ素材を用意する工程(A)と、

前記ナノワイヤ素材のうち、前記第1半導体材料から形成された部分の表面に選択的に絶縁層を形成し、前記第2半導体材料から形成された部分の少なくとも表面は導電部として機能させる工程(B)と、
を含む、ナノワイヤの製造方法。

[15] 前記ナノワイヤ素材における前記第2半導体材料から形成された部分の表面を金属元素との反応によって合金化する工程(C)と、
を含む、請求項14に記載の製造方法。

[16] 前記工程(A)は、

第1の結晶成長条件で前記第1半導体材料を成長させる工程(a1)と、

前記第1の結晶成長条件とは異なる第2の結晶成長条件で前記第2半導体材料を成長させる工程(a2)と、

を含む請求項14に記載の製造方法。

[17] 前記工程(B)は、

前記ナノワイヤ素材における前記第1および第2半導体材料の表面を酸化することによって前記表面上に酸化膜を形成する工程(b1)と、

前記酸化膜のうち前記第2半導体材料の表面に形成された部分を選択的に除去することにより、前記第1半導体材料の表面に前記酸化膜の一部を残存させる工程(b2)と、

を含む請求項14に記載の製造方法。

[18] 前記工程(C)は、

前記ナノワイヤ素材における前記第1および第2半導体材料の表面を覆う金属層を形成する工程(c1)と、

前記金属層と前記第2半導体材料の表面とが接触する部分で合金化を行なう工程(c2)と、

前記金属層のうち合金化しなかった部分を選択的に除去する工程(c3)と、
を含む、請求項17に記載の製造方法。

[19] 少なくとも1本のナノワイヤと、前記ナノワイヤと電氣的に接続された複数の電極とを備えた電子素子であって、

各ナノワイヤは、前記複数の電極のいずれかに接触する2つのコンタクト領域を含む複数のコンタクト領域と、前記複数のコンタクト領域に接続された少なくとも1つのチャネル領域とを含み、

前記チャネル領域は、第1半導体材料から形成されており、前記チャネル領域上に選択的に形成された絶縁層によって被覆されており、

前記複数のコンタクト領域の各々は、前記第1半導体材料とは異なる第2半導体材料から形成され、導電部分を少なくとも表面に有している、電子素子。

[20] 前記チャネル領域から絶縁され、前記チャネル領域に電界を及ぼすゲート電極を更に備える、請求項19に記載の電子素子。

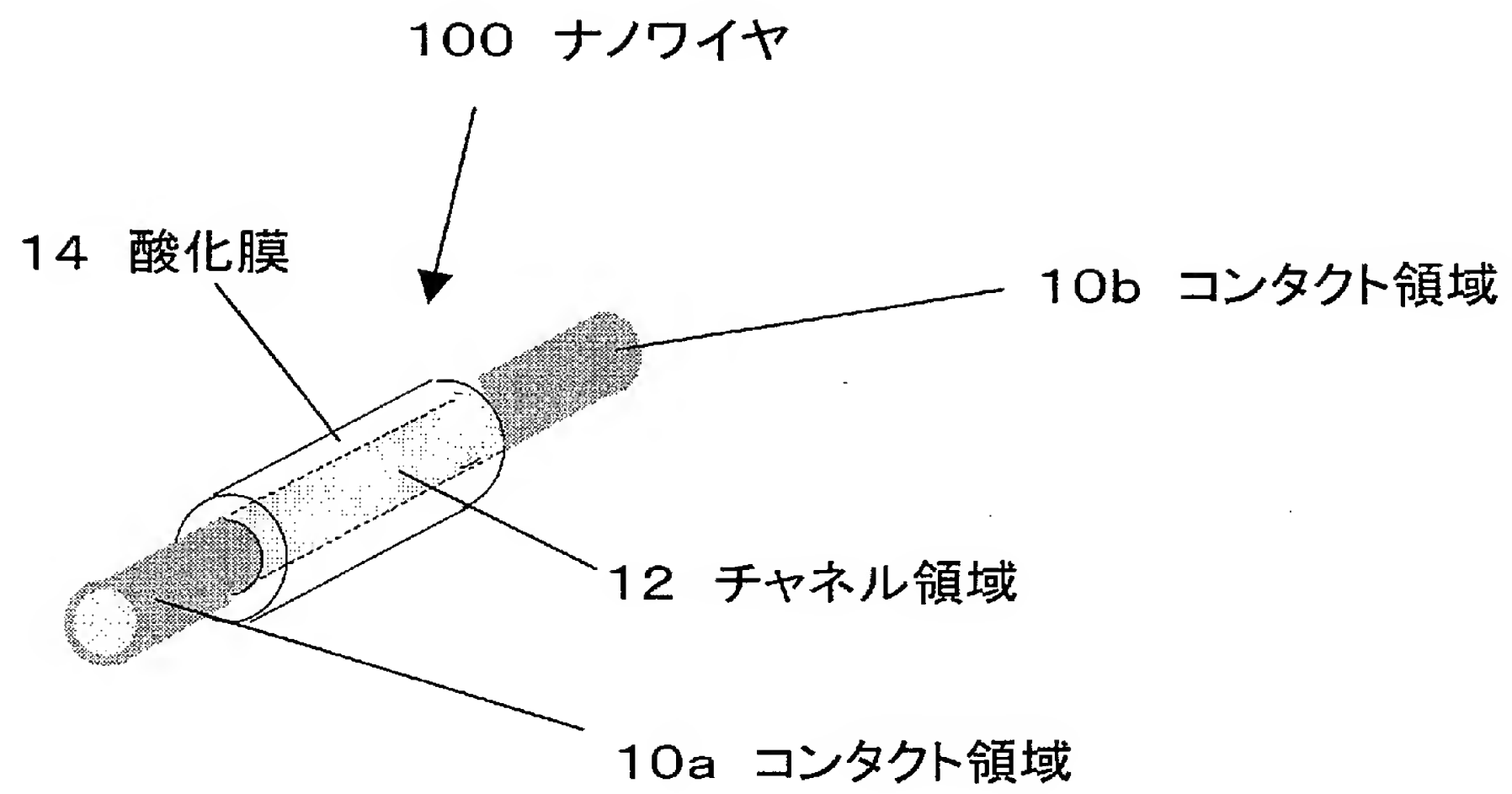
[21] 前記チャネル領域の長軸方向長さは、1000nm以下である、請求項19に記載の電子素子。

[22] 請求項20に記載された複数の電子素子と、
前記電極を接続する配線と、

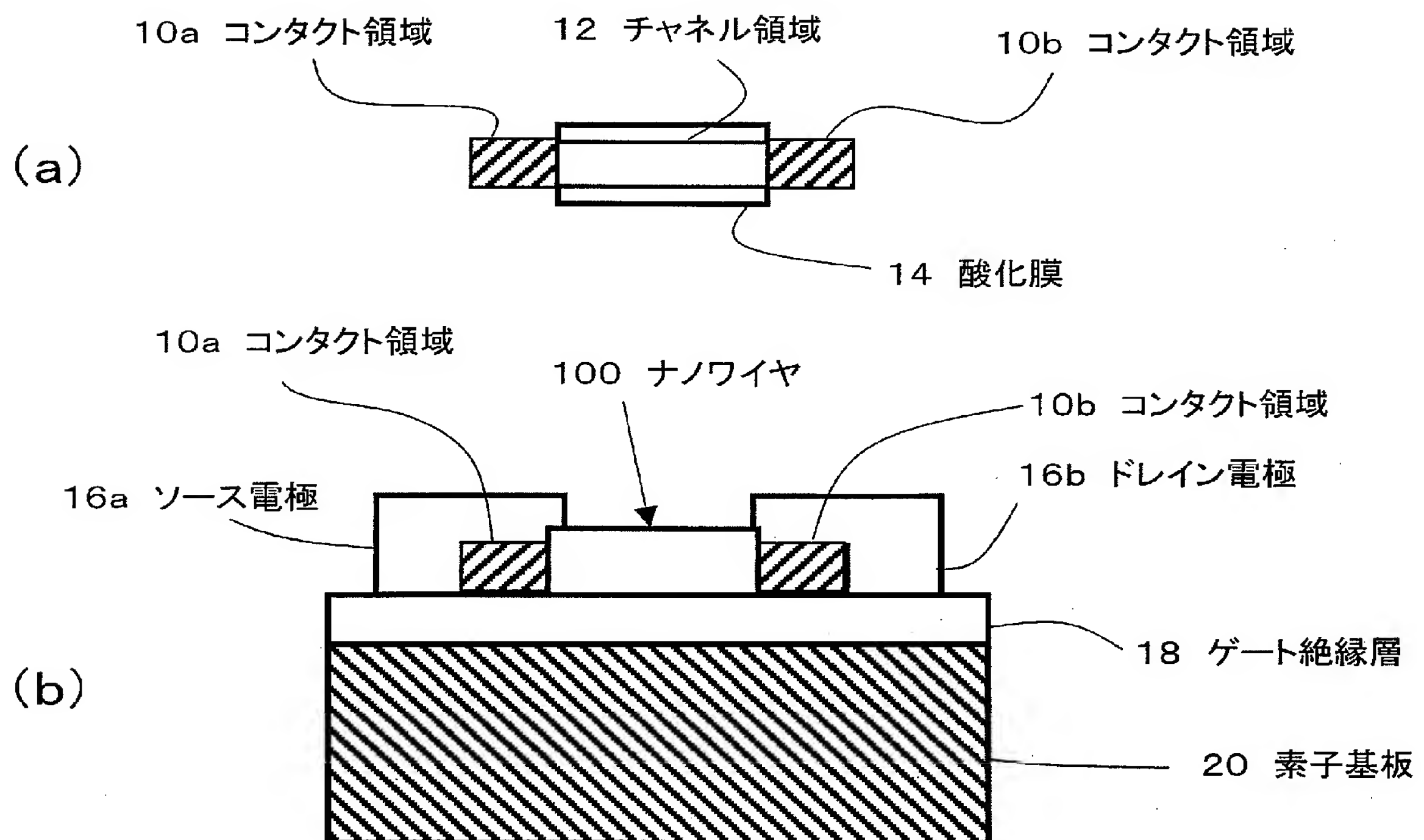
前記複数の電子素子および配線を支持する基板と、
を備える電子機器。

- [23] 前記複数の電子素子の各々に含まれる前記ナノワイヤは、前記基板上において、一定の方向に配向している、請求項22に記載の電子機器。
- [24] 請求項1に記載の複数のナノワイヤが分散された溶媒を用意する工程と、
前記溶媒を基板上に塗布する工程と、
前記溶媒に含まれていた前記複数のナノワイヤの少なくとも1つにおける前記コンタクト領域を電極に接触させる工程と、
を含む電子機器の製造方法。
- [25] 前記溶媒を基板上に塗布する工程は、前記溶媒に分散されていた複数のナノワイヤを一定の方向に配向させる工程を含む、請求項24に記載の製造方法。

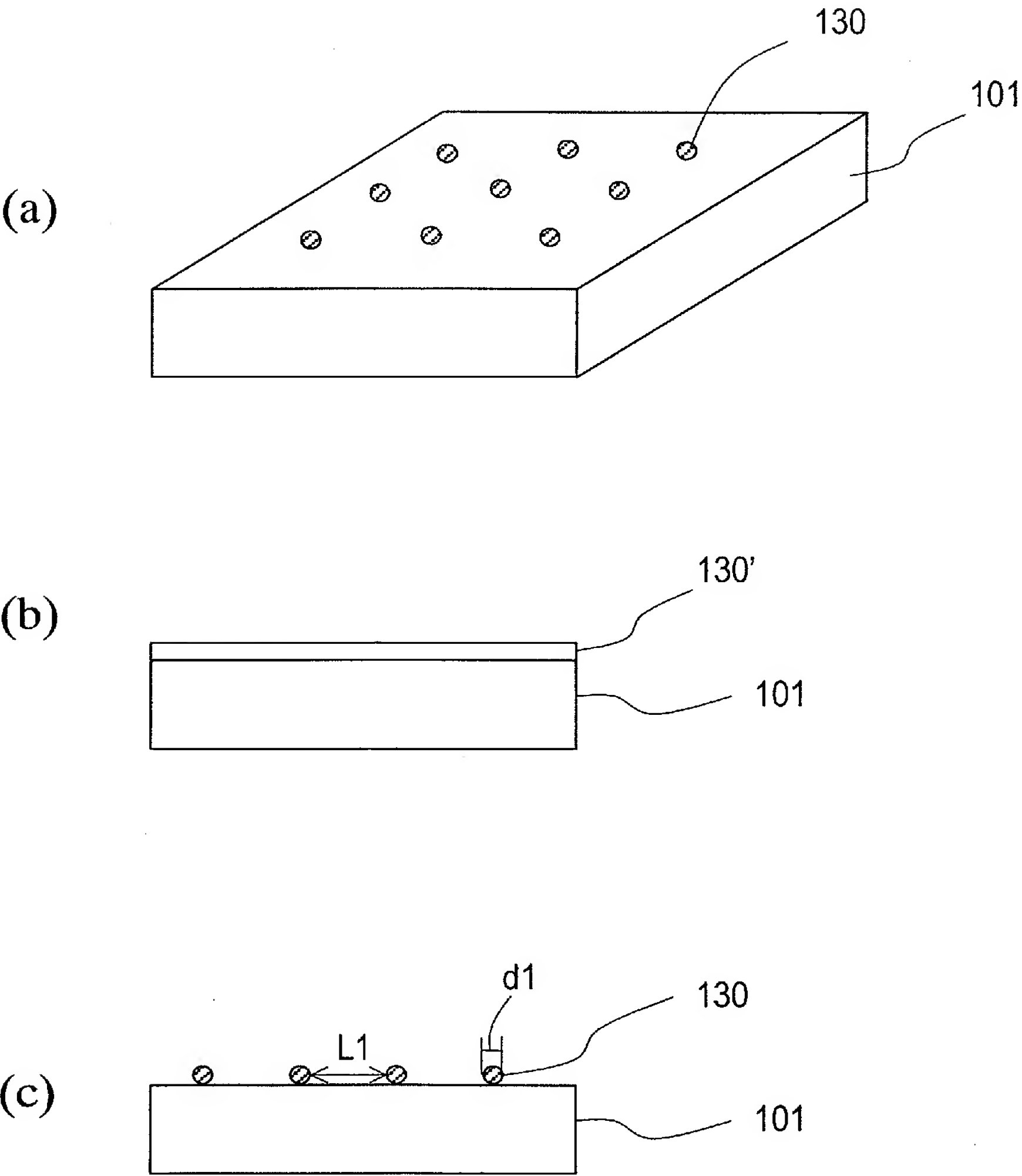
[図1]



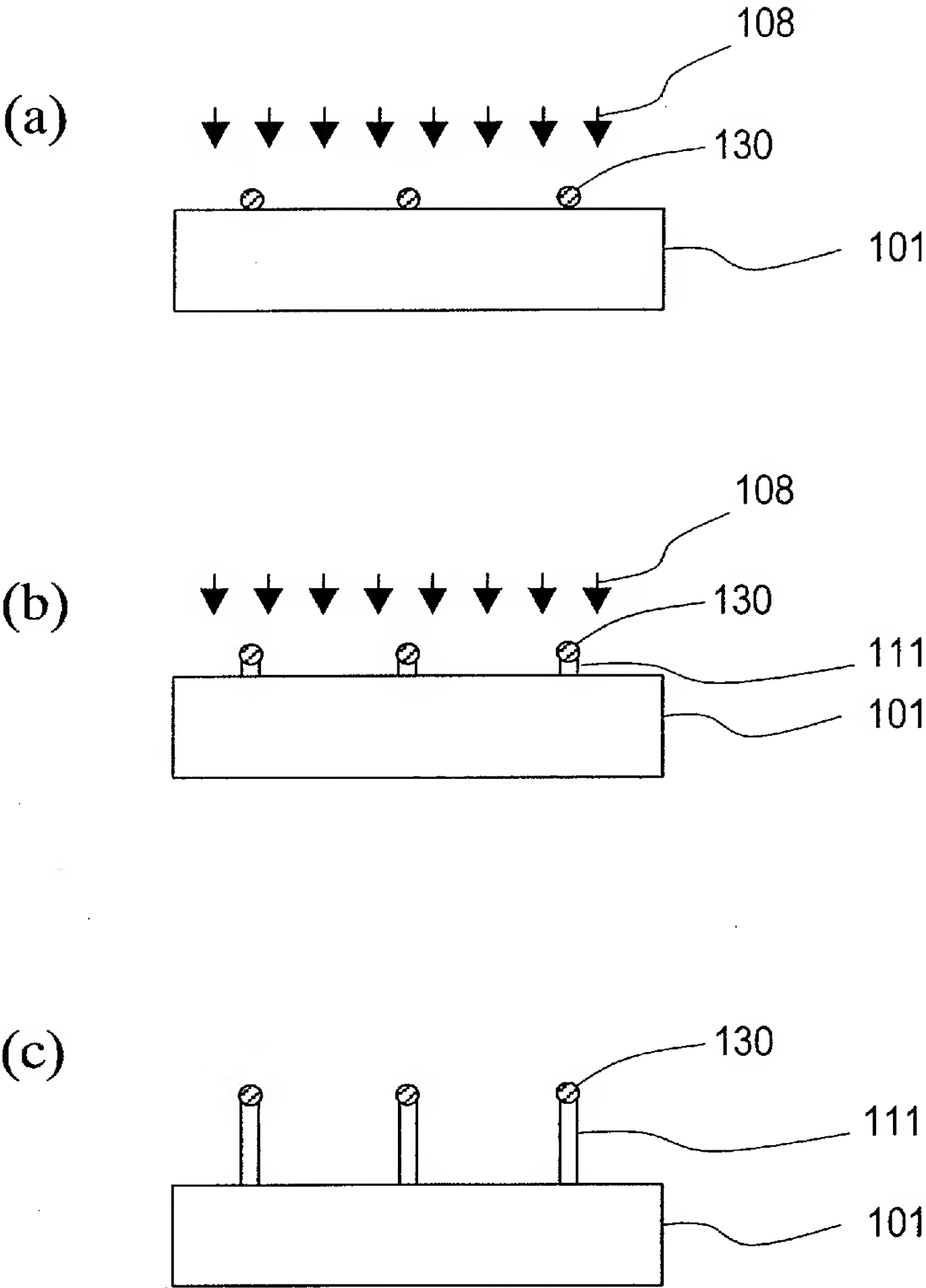
[図2]



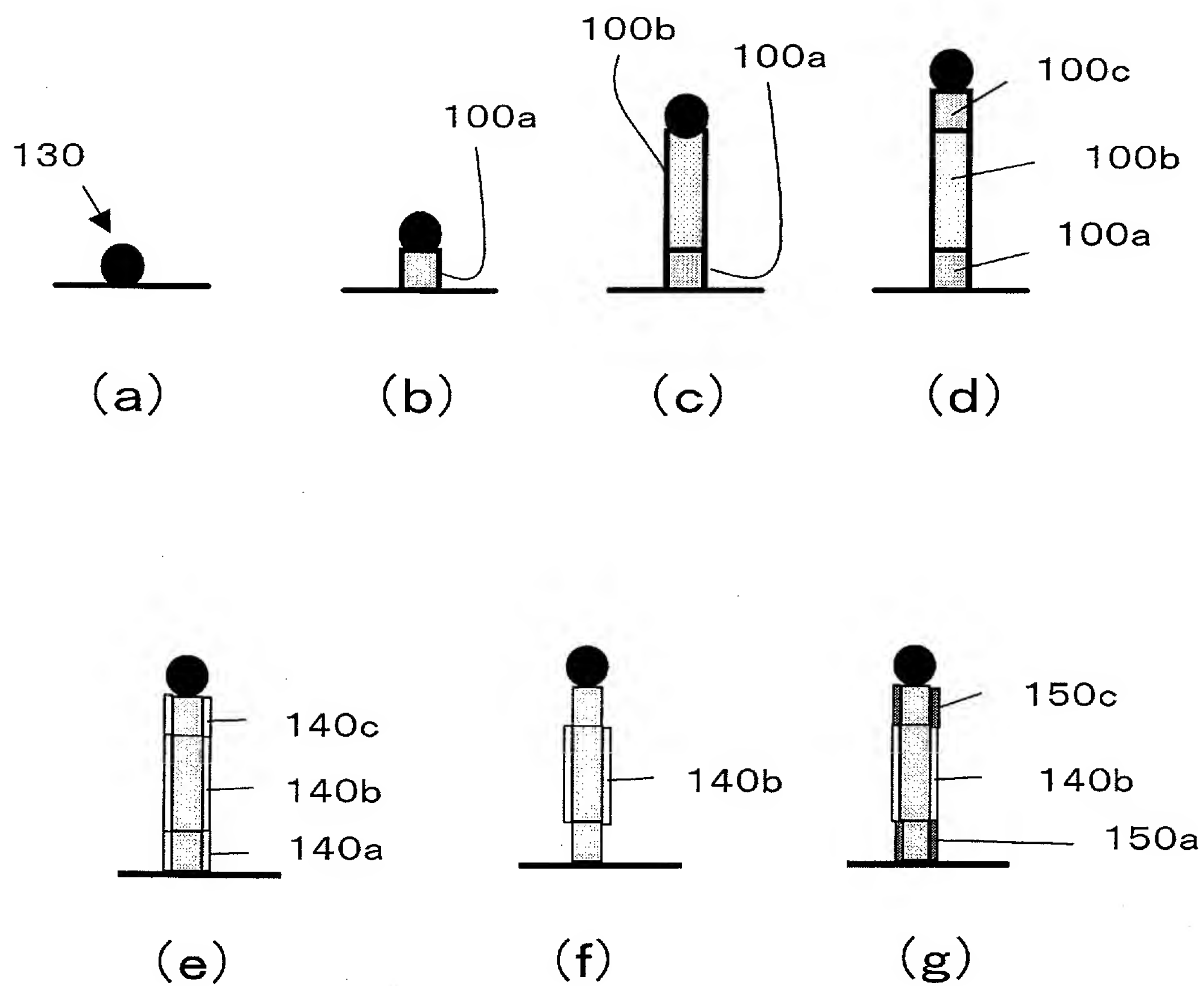
[図3]



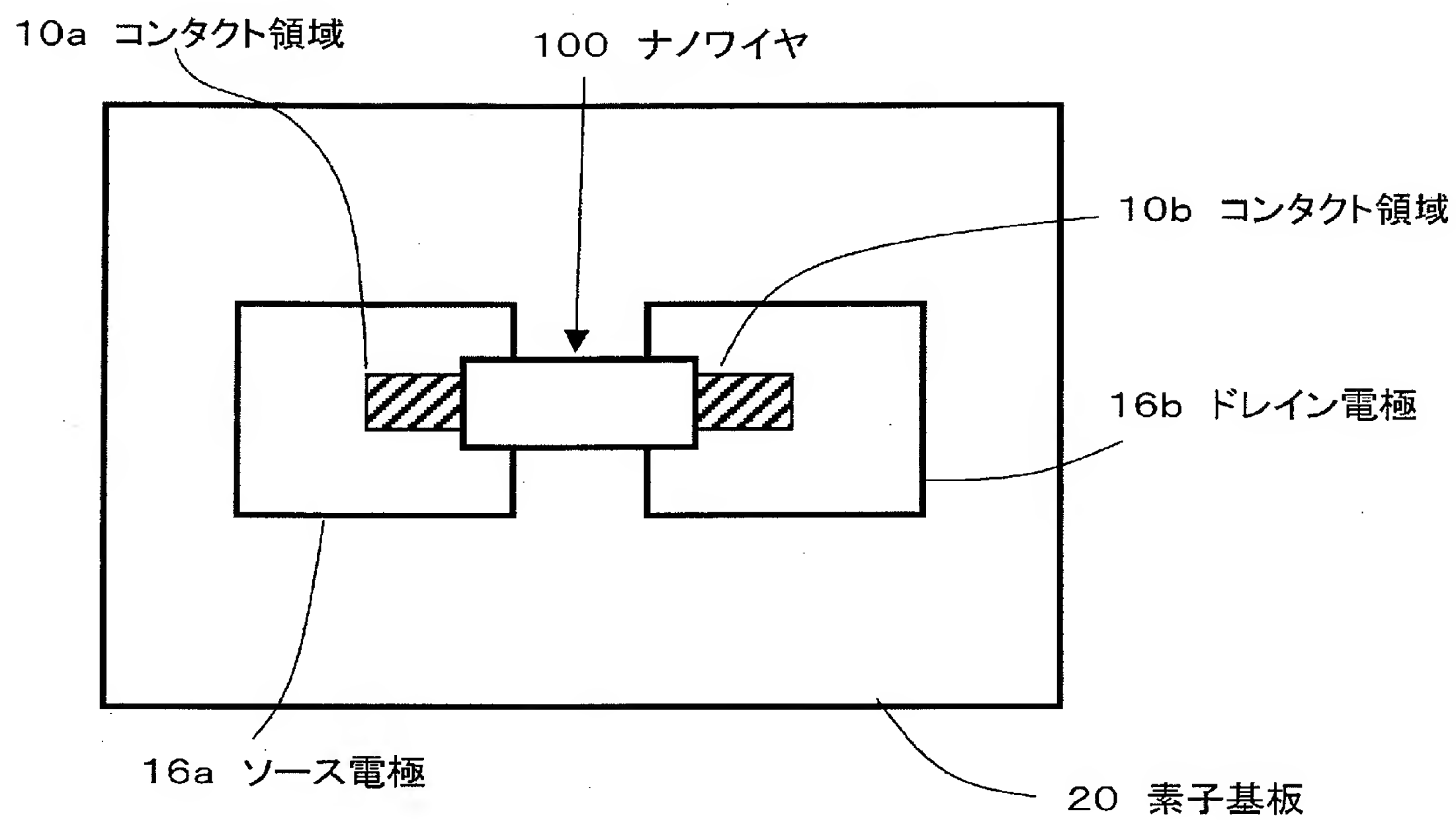
[図4]



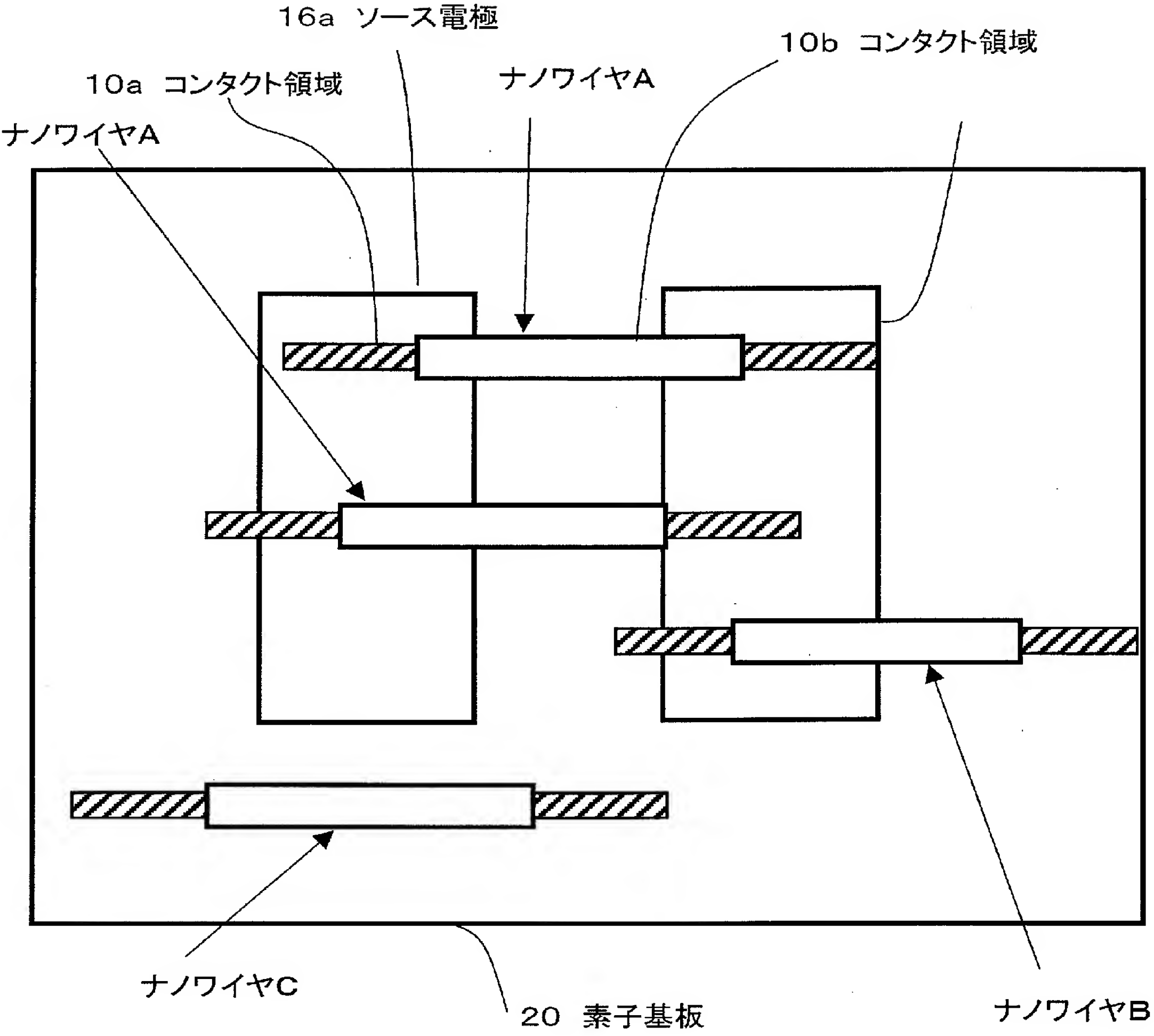
[図5]



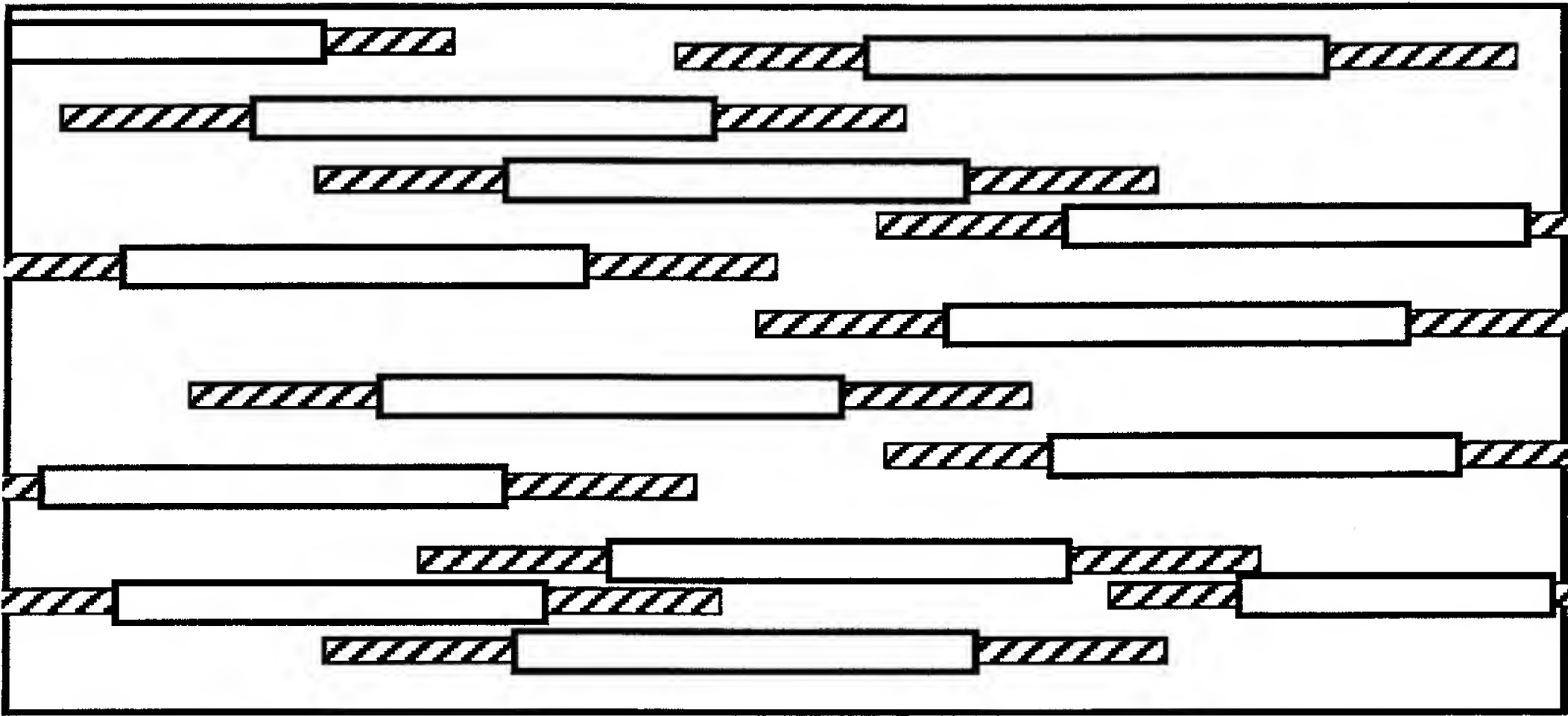
[図6]



[図7]

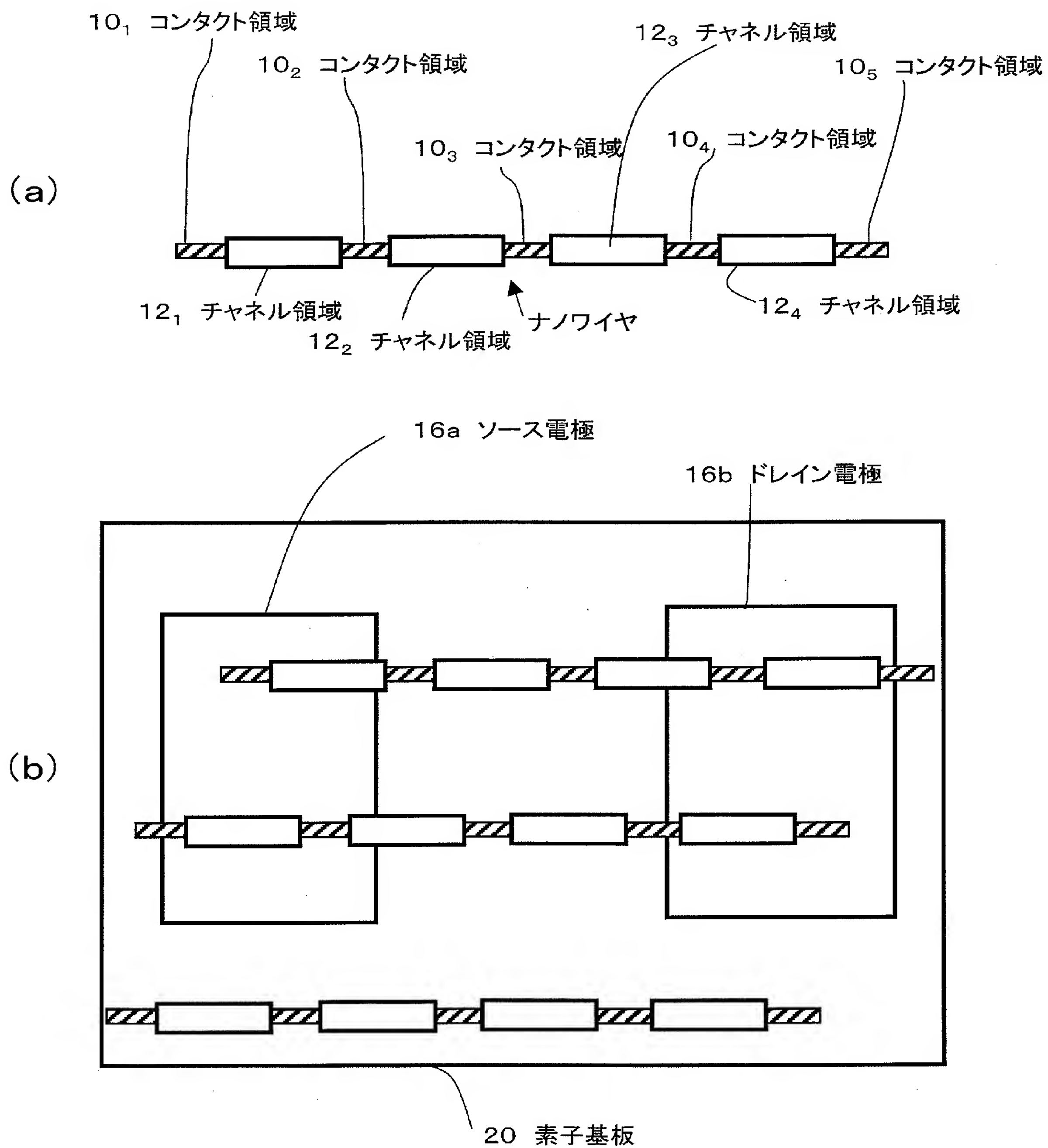


[図8]

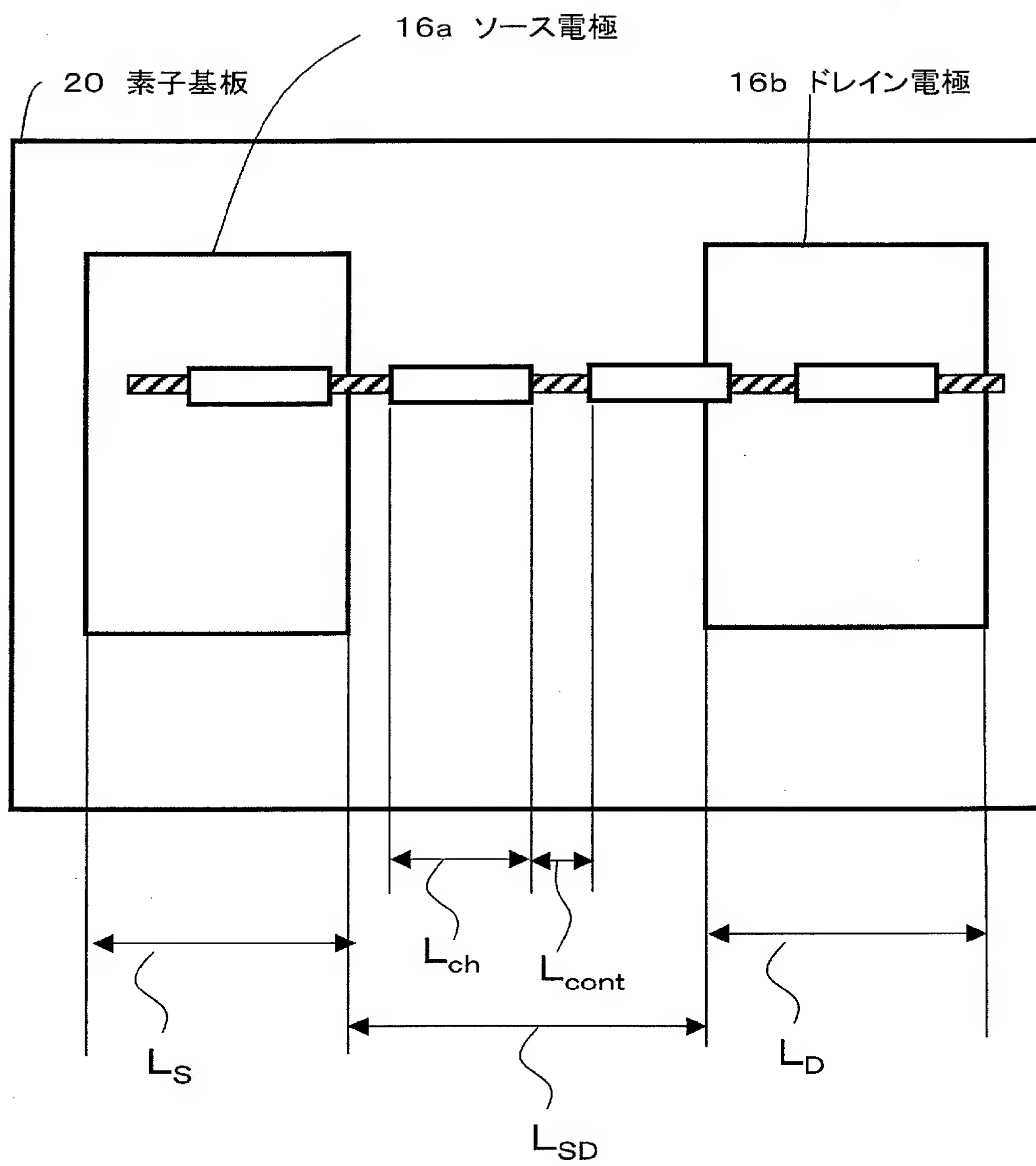


20 素子基板

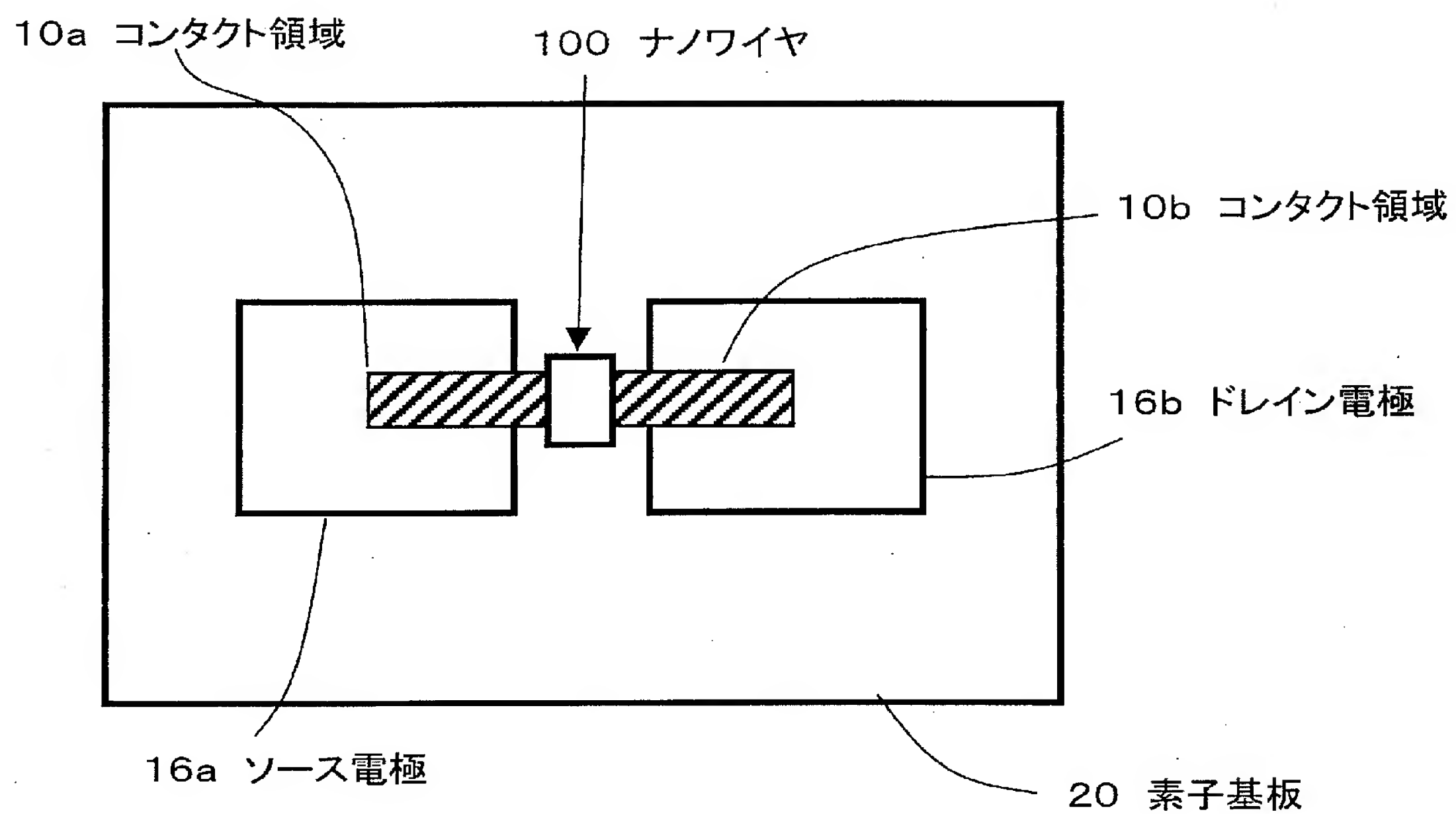
[図9]



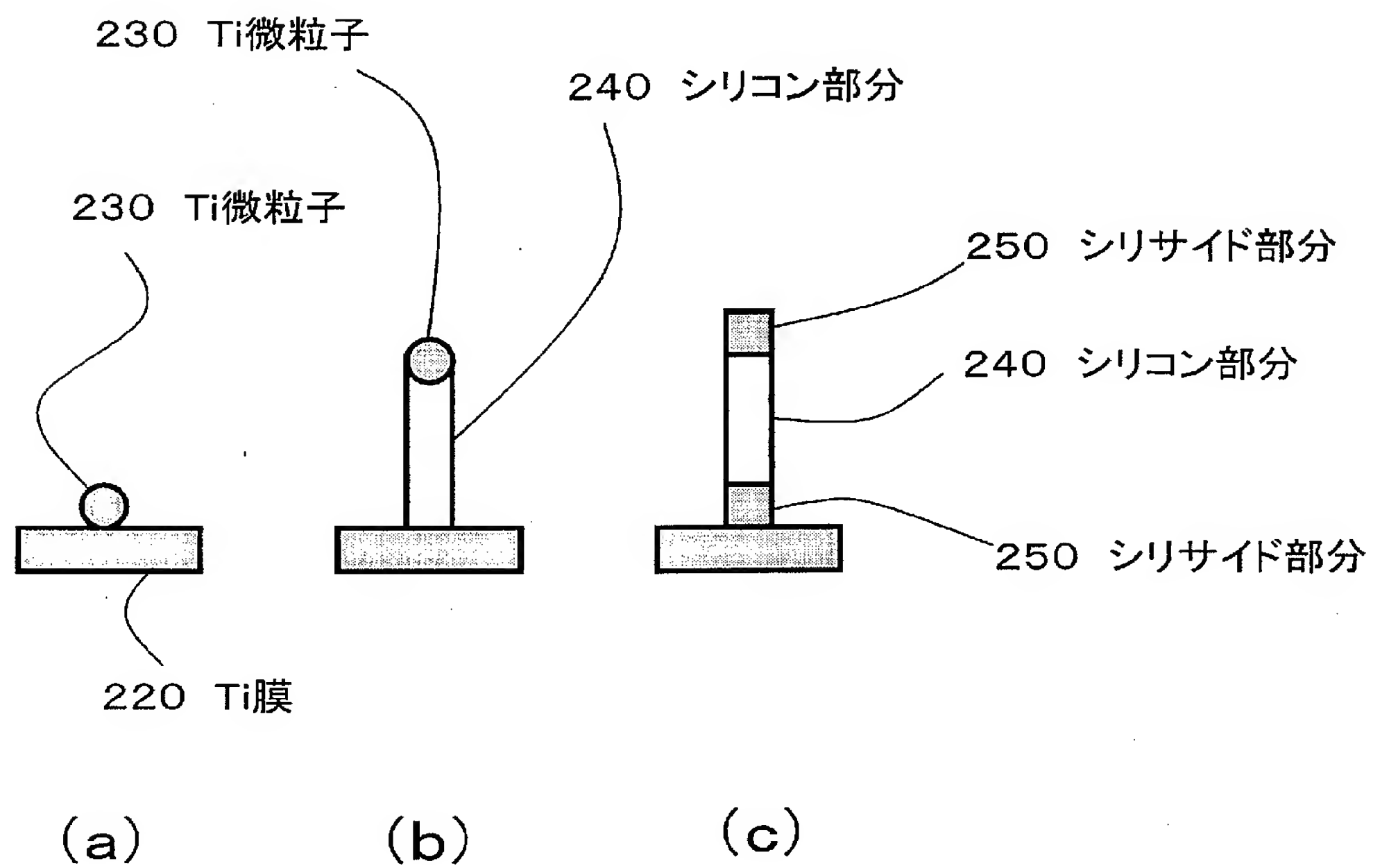
[図10]



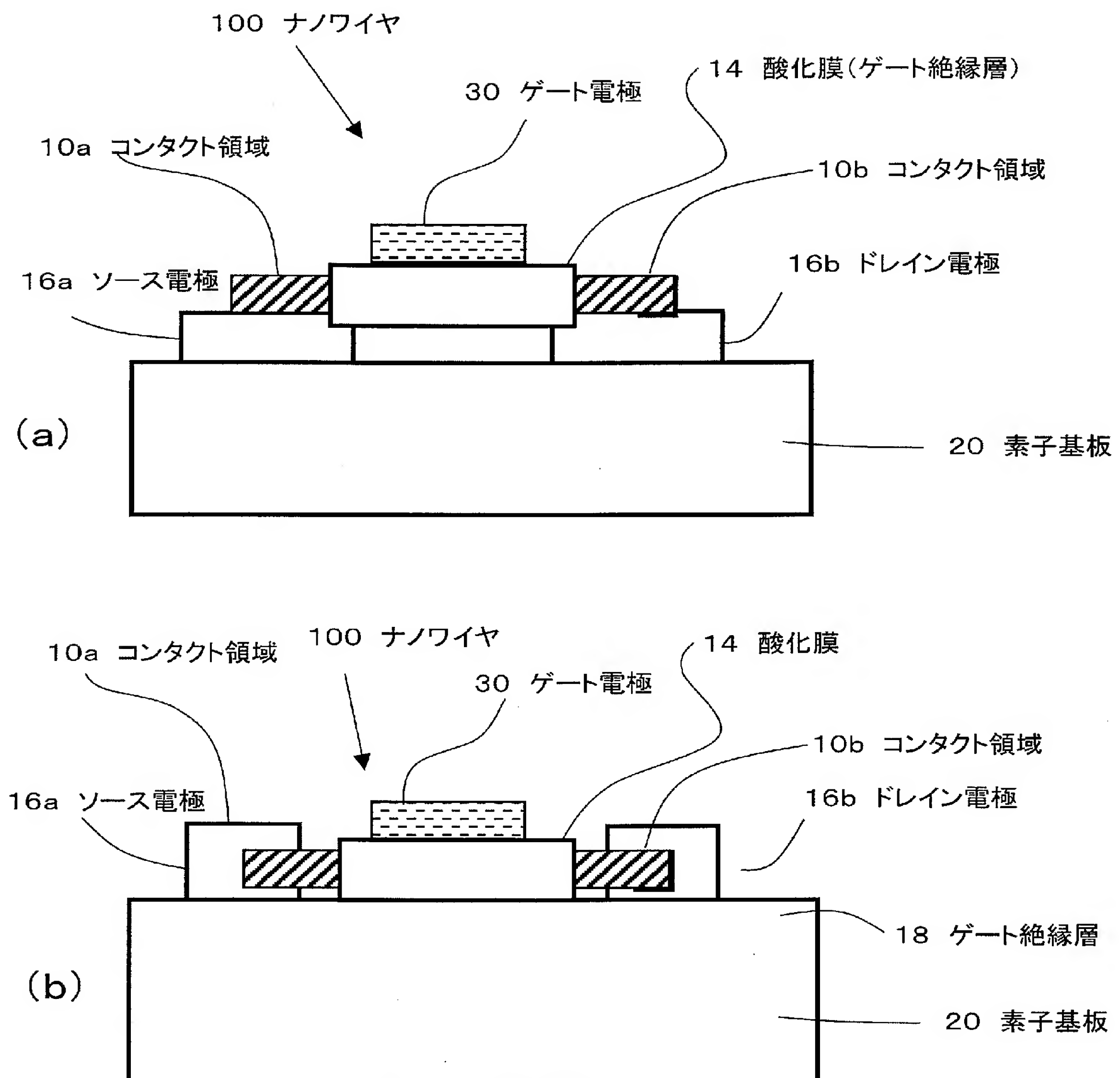
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023495

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01), **H01L29/06**(2006.01), **H01L29/786**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336(2006.01), **H01L29/06**(2006.01), **H01L29/786**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-507104 A (President and Fellows of Harvard College), 04 March, 2004 (04.03.04), Par. Nos. [0081] to [0130], [0184] to [0192] & US 2002/0130311 A1	1-2, 14 15, 24-25
Y	JP 2005-510711 A (Sony International), 21 April, 2005 (21.04.05), Par. No. [0062] & WO 2003/046536 A1	24-25
Y	WO 2004/032191 A2 (NANOSYS, INC.), 15 April, 2004 (15.04.04), Page 33, lines 8 to 16 & JP 2006-501690 A	15

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 March, 2006 (28.03.06)Date of mailing of the international search report
04 April, 2006 (04.04.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/023495

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 2 , 14 - 15 , 24 - 25

- Remark on Protest
- the
- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023495

Continuation of Box No.III of continuation of first sheet (2)

"A special technical feature" common to the inventions in claims 1-2, the inventions in claims 3-4, the invention in claim 5, the invention in claim 6, the invention in claim 7, the inventions in claims 8-10, the inventions in claims 11-13, the inventions in claims 19-20 and 22-23, the invention in claim 21 is the structure of "a nano-wire comprising a plurality of contact regions and at least one channel region connected with the plurality of contact regions, wherein the channel region is formed of a first semiconductor material, the surface of the channel region is covered with an insulation layer selectively formed on the channel region, each of the plurality of contact regions is formed of a second semiconductor material different from the first semiconductor material of the channel region, and at least the surface of the channel region has a conductive portion".

However, our search has found the constitution is disclosed in JP 2004-507104 A (President and Fellows of Harvard College), 04 March, 2004 (04.03.04), Par. Nos. [0081] to [0130], Par. Nos. [0184] to [0192], and therefore is not clearly novel.

Consequently this common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the matter common to the above inventions makes no contribution over the prior art.

"A special technical feature" common to the inventions in claims 14-15, the invention in claim 16, and the inventions in claims 17-18 is "a method of producing a nano-wire including the step of providing a nanowire material containing a portion formed from a first semiconductor material and a portion formed from a second semiconductor material different from the first semiconductor material, and the step of forming selectively an insulation layer on the surface of the portion formed from the first semiconductor material out of the nano-wire material and having at least the surface of the portion formed from the second semiconductor material function as a conductive portion".

However, our search has found the constitution is disclosed in JP 2004-507104 A (President and Fellows of Harvard College), 04 March, 2004 (04.03.04), Par. Nos. [0081] to [0130], Par. Nos. [0184] to [0192], and therefore is not clearly novel.

Consequently this common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the matter common to the above inventions makes no contribution over the prior art.

Therefore, the inventions in claims 1-2, 14-15 and 24-25, the inventions in claims 3-4, the invention in claim 5, the invention in claim 6, the invention in claim 7, the inventions in claims 8-10, the inventions in claims 11-13, the invention in claim 16, and the inventions in claims 17-18, the inventions in claims 19-20 and 22-23, and the invention in claim 21 do not evidently fulfill the requirement of unity of invention.

国際調査報告		国際出願番号 PCT/J P 2 0 0 5 / 0 2 3 4 9 5	
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/336(2006. 01), H01L29/06(2006. 01), H01L29/786(2006. 01)			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/336(2006. 01), H01L29/06(2006. 01), H01L29/786(2006. 01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2－1 9 9 6 年 日本国公開実用新案公報 1 9 7 1－2 0 0 6 年 日本国実用新案登録公報 1 9 9 6－2 0 0 6 年 日本国登録実用新案公報 1 9 9 4－2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	J P 2 0 0 4－5 0 7 1 0 4 A（プレジデント・アンド・フェ ローズ・オブ・ハーバード・カレッジ）,	1-2, 14	
Y	2 0 0 4. 0 3. 0 4, 【0 0 8 1】－【0 1 3 0】段落, 【0 1 8 4】－【0 1 9 2】段落 & U S 2 0 0 2 / 0 1 3 0 3 1 1 A 1	15, 24-25	
Y	J P 2 0 0 5－5 1 0 7 1 1 A（ソニー インターナショナ ル）, 2 0 0 5. 0 4. 2 1, 【0 0 6 2】段落 & W O 2 0 0 3 / 0 4 6 5 3 6 A 1	24-25	
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 8. 0 3. 2 0 0 6		国際調査報告の発送日 0 4. 0 4. 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4 番3 号		特許庁審査官（権限のある職員） 棚田 一也 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 4 9 8	4 L 9 3 6 1

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2) (a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲_____は、従属請求の範囲であってP C T 規則6. 4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。
特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-2, 14-15, 24-25

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

C（続き）． 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 2004／032191 A2(NANOSYS, INC.), 2004. 04. 15, 第33頁第8－16行 & JP 2006－501690 A	15

請求の範囲1乃至2に記載される発明、請求の範囲3乃至4に記載される発明、請求の範囲5に記載される発明、請求の範囲6に記載される発明、請求の範囲7に記載される発明、請求の範囲8乃至10に記載される発明、請求の範囲11乃至13に記載される発明、請求の範囲19乃至20及び22乃至23に記載される発明、及び、請求の範囲21に記載される発明に共通する「特別な技術的特徴」は、「複数のコンタクト領域と、前記複数のコンタクト領域に接続された少なくとも1つのチャネル領域とを含むナノワイヤであって、前記チャネル領域は第1半導体材料から形成されており、かつ前記チャネル領域の表面は、前記チャネル領域上に選択的に形成された絶縁層によって被覆されており、前記複数のコンタクト領域の各々は前記チャネル領域の前記第1半導体材料とは異なる第2半導体材料から形成され、前記コンタクト領域の少なくとも表面は導電部分を有しているナノワイヤ」の構造である。

しかし、調査の結果該構成は、J P 2004-507104 A (プレジデント・アンド・フェローズ・オブ・ハーバード・カレッジ) , 2004.03.04, 【0081】－【0130】段落, 【0184】－【0192】段落 に関示されているから、新規でないことが明らかとなった。

結果として、上記発明に共通の事項は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

また、請求の範囲14乃至15に記載される発明、請求の範囲16に記載される発明、及び、請求の範囲17－18に記載される発明に共通する「特別な技術的特徴」は、「第1半導体材料から形成された部分と前記第1半導体材料とは異なる第2半導体材料から形成された部分とを含むナノワイヤ素材を用意する工程と、前記ナノワイヤ素材のうち、前記第1半導体材料から形成された部分の表面に選択的に絶縁層を形成し、前記第2半導体材料から形成された部分の少なくとも表面は導電部として機能させる工程と、を含むナノワイヤの製造方法」である。

しかし、調査の結果該構成は、J P 2004-507104 A (プレジデント・アンド・フェローズ・オブ・ハーバード・カレッジ) , 2004.03.04, 【0081】－【0130】段落, 【0184】－【0192】段落 に関示されているから、新規でないことが明らかとなった。

結果として、上記発明に共通の事項は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

したがって、請求の範囲1乃至2、14乃至15及び24乃至25に記載される発明、請求の範囲3乃至4に記載される発明、請求の範囲5に記載される発明、請求の範囲6に記載される発明、請求の範囲7に記載される発明、請求の範囲8乃至10に記載される発明、請求の範囲11乃至13に記載される発明、請求の範囲16に記載の発明、請求の範囲17－18に記載の発明、請求の範囲19乃至20及び22乃至23に記載される発明、及び、請求の範囲21に記載される発明は、発明の単一性の要件を満たしていないことが明らかである。